

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-318055

(43)Date of publication of application : 15.11.1994

(51)Int.Cl. G09G 3/36
G09G 3/20
H03K 5/02
H03K 19/0185
H04N 5/66

(21)Application number : 05-329871 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 30.11.1993 (72)Inventor : AOKI SHIGEKI

(30)Priority

Priority number : 04323373 Priority date : 02.12.1992 Priority country : JP

(54) LEVEL SHIFT CIRCUIT AND HIGH VOLTAGE DRIVING CIRCUIT USING IT

(57)Abstract:

PURPOSE: To realize a level shift circuit provided with a function excepting the function converting from a first power source voltage to a second power source voltage and to realize a high voltage driving circuit using the level shift circuit.

CONSTITUTION: In addition to a first and second switching elements (transistors 50-56)third and fourth switching elements (transistors 6264) are provided in series. The transistors 6264 are turned on/off by a prescribed control signaland thus the current path of the level shift circuit is conducted/interrupted. By such a constitutiona logic circuit arranged on the poststage of the level shift circuit is arranged on the preceding stage of the level shift circuitand since the logic circuit is driven by a voltage for driving the logic circuitthe area of the circuit is reduced. Further since the generation of a penetration current in the period when the voltage levels of the first and second input signals are inverted is prevented and a short circuit state in the current path is preventedthe performance of a display characteristicetc.is improvedand the response operation of the level shift circuit is improved.

CLAIMS

[Claim(s)]

[Claim 1] In a level shift circuit which transforms a voltage swing of the 1st and 2nd input signal from the 1st power supply voltage to the 2nd power supply voltage. In addition to the 1st and 2nd switching element turned on and off by said 1st and 2nd input signal, the 3rd switching element is provided in series to said 1st switching element, and the 4th switching element is provided in series to said 2nd switching element. A level shift circuit wherein these 3rd and 4th switching element is turned on and off by a control signal formed according to a signal state of said 1st and 2nd input signal, and a change of a flow and interception of a current route is performed.

[Claim 2] A level shift circuit wherein said 3rd and 4th switching element is made [both] into an OFF state by said control signal when [both] said 1st and 2nd input signal is in an upper part level or when it is in a bottom level, and said current route is intercepted in claim 1.

[Claim 3] A level shift circuit wherein said 3rd and 4th switching element is made into an OFF state by said control signal during a voltage-level period of reversal of said 1st and 2nd input signal, and said current route is intercepted in claim 1.

[Claim 4] In a high-voltage-driving circuit which generates a high-voltage-driving signal for making a predetermined element drive with the 2nd power supply voltage. A logic circuit which forms the 1st and 2nd input signal by a predetermined logical operation. A level shift circuit which transforms a voltage swing of said 1st and 2nd input signal from the 1st power supply voltage to the 2nd power supply voltage. An output driving circuit which forms said high-voltage-driving signal with an output signal of said level shift circuit is included. In addition to the 1st and 2nd switching element turned on and off by said level shift circuit with said 1st and 2nd input signal, the 3rd switching element receives said 1st switching element. It is provided in series; it is provided in series by the 4th switching element to said 2nd switching element, and these 3rd and 4th switching element. A high-voltage-driving circuit wherein an OFF state is used by a predetermined control signal when [both] said 1st and 2nd input signal is [both] in an upper part level or when it is in a bottom level, and a current route of said level shift circuit is intercepted.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the level shift circuit which transforms the voltage swing of an input signal into the 2nd power supply voltage from the 1st power supply voltage, and the high-voltage-driving circuit using this level shift circuit.

[0002]

[Description of the Prior Art]The conventional level shift circuit did not have a function except transforming into the 2nd power supply voltage (E2) the voltage swing of the 1st and 2nd input signal mutually inputted by the opposite phase from the 1st power supply voltage (E1).

[0003]The circuit diagram of the conventional level shift circuit is shown in drawing 11 (A) and (B). This level shift circuit comprises the transistor 150 which is the 1st and 2nd switching element(152)154(156)and the transistors 158 and 160. And the 2nd input signal whose voltage swings are the 1st input signal of 0 – E1and this 1st input signal and the signal of an opposite phase is inputted into the gate electrode of the transistor 150(152)154and (156)respectively. The 1st and 2nd output signal of the level shift circuit is inputted into the gate electrode of the transistors 158 and 160.

[0004]In the conventional level shift circuitthe voltage swing of the 1st and 2nd input signal of an opposite phase was mutually transformed into the 2nd power supply voltage (E2) from the 1st power supply voltage (E1) by the above composition. In the example of the level shift circuit shown in drawing 11 (A) and (B)both E1 and E2 are negative valuesand they have a relation of $E1 > E2$.

[0005]Nowin the conventional level shift circuitthe 3rd and 4th switching element turned on and off by a predetermined control signal besides the 1st and 2nd switching element was not provided. Thereforeit does not have a function except the conversion to E2 from the power supply voltage E1butfor this reasonthere were the following problems in the conventional level shift circuit.

[0006]

[Problem(s) to be Solved by the Invention]Firstthe 1st problem is explained.

[0007]The truth value table of this conventional level shift circuit is shown in drawing 11 (C). As shown in the figurewhen the input signal of an opposite phase is inputted mutuallyby this conventional exampleconversion to E2 from the power supply voltage E1 is performed. Howeverwhen the 1st and 2nd input signal is [both] the levelthis level shift circuit does not perform normal operation. Namelywhen the 1st and 2nd input signal is H level (GND level) in both the circuits of drawing 11 (A) and (B)The 1st and 2nd output signal serves as Z level (high impedance level)and when the 1st and 2nd input signal is [both] L level (E1 level)the current route of a level shift circuit will flow through itand it will become impossible operating it.

[0008]When the conventional level shift circuit was applied to a high-voltage-driving circuit (for exampledrive circuit for STNTFTand MIM liquid crystals)for examplea liquid crystal driving circuitthe generating-high-voltage driver of a multi-bitetc. for this faultthe following problems arose.

[0009]The example at the time of applying the conventional level shift circuit to the drive circuit for STN LCD is shown in drawing 12.A data signal is inputted into the transistors 150 and 152 which are the 1st switching element as the 1st input signal. It is reversed with the inverter 34 and this data signal is inputted into the transistors 154 and 156 which are the 2nd switching element as the 2nd input signal. Therebya

voltage swing is changed into GND-V5 (V5 is for example-30V) from GND-VSS (VSS is for example-5V). Similarly an AC converted signal is also inputted into the level shift circuit 32 and a voltage swing is changed into GND-V5 from GND-VSS.

[0010] Thus the output signals 45, 46 and 44 of the level shift circuits 33 and 35 by which the level shift was carried out are inputted into the logic circuit 170. This logic circuit 170 comprises NAND circuits 37 and 39 and NOR circuits 36 and 38 which operate with the 2nd power supply voltage V5. And a predetermined logical operation is performed in this logic circuit 170 and those output signals 172, 174, 176 and 178 are inputted into the output driving circuit 180 which comprises the Nch transistors 40 and 43 and Pch transistors 41 and 42 after the end of a logical operation. And in these transistors 40-43 in the output driving circuit 180 the output signals 172-178 of the logic circuit 170 are connected to a gate electrode and the power supply V0, V2, V3 and V5 ($V0 > V2 > V3 > V5$) are connected to the source region. Common connection of the drain area of these transistors 40-43 is carried out and this drain output by which common connection was carried out will be outputted to each liquid crystal element as a liquid crystal driving signal. The above composition enables it to change a binary output into 4 value output (V0, V2, V3, V5) in this conventional liquid crystal driving circuit.

[0011] Now in the liquid crystal driving circuit using the conventional level shift circuit as shown in drawing 12 the logic circuit 170 which comprises NOR circuits 36 and 38 and NAND circuits 37 and 39 needs to be arranged in the latter part of the level shift circuit 33. The reason is as follows. That is it is assumed temporarily that the logic circuit 170 has been arranged in the preceding paragraph of the level shift circuit 33 by the conventional example. Then since there are four kinds of modes in the output of the logic circuit 170 (HLLHHLL) the case where the signal (HH level LL level) of the level is inputted into the 1st and 2nd switching element (transistors 150-156) of the level shift circuit 33 arises. However in the conventional level shift circuit as above-mentioned drawing 11 (A) - (C) explained when the signal of the level was inputted into the 1st and 2nd input signal normal operation was not guaranteed. Therefore the logic circuit 170 was to be arranged in the latter part of the level shift circuit 33 as it is impossible to arrange the logic circuit 170 in the preceding paragraph of the level shift circuit 33 by a conventional example and it is shown in drawing 12. As a result NOR circuits 36 and 38 and NAND circuits 37 and 39 in the logic circuit 170 will be inevitably driven with the 2nd power supply voltage V5.

[0012] However this 2nd power supply voltage V5 is used also as voltage for a liquid crystal drive. For this reason when a data signal or an AC converted signal changes and GURUJI occurs according to the penetration current produced in said NOR circuits 36 and 38 and NAND circuits 37 and 39 it will have big influence also on this voltage for a glitzy ***** drive. Since especially these NOR circuits and NAND circuits are connected to all the four data lines of a liquid crystal panel at a time (for example the liquid crystal panel of 200x640 dots total $640 \times 4 = 2560$ pieces) the

influence will become very big. For this reason the effective value of such voltage supplied more to a liquid crystal display element a glitzy changed and the situation where the display quality of a liquid crystal will fall extremely arose.

[0013] This 2nd power supply voltage V5 is the high tension of $-20 - -40\text{V}$ (or $20 - 40\text{V}$) and also needs to use as a high-withstand-pressure transistor the transistor which constitutes NOR circuits 36 and 38 and NAND circuits 37 and 39 for this reason. However the occupation area of the transistor for realizing driving ability in which these high-withstand-pressure transistors are the more nearly same than the transistor which operates with the 1st power supply voltage (or 5V) for example -5V will become very big.

[0014] To arrange a semiconductor chip it is necessary to arrange a substrate and what is called a guard band of same electric potential in order to hold the potential of a substrate around the source region of a transistor. These guard bands are needed in order to prevent the latchup which will become easy to generate especially if the driver voltage supplied to the source region becomes high. Therefore compared with the usual transistor it is necessary to enlarge the occupation area of this guard band dramatically with the high-withstand-pressure transistor which needs to be driven by high tension.

[0015] As mentioned above the logic circuit which comprises a high-withstand-pressure transistor tended to have an adverse effect on display properties and was to occupy a very big area compared with the logic circuit which comprises a usual transistor. Therefore as for these logic circuits it is preferred from the field of improvement in display properties or the field of small-area-izing of a semiconductor chip not to constitute from a high-withstand-pressure transistor if possible.

However as shown in drawing 12 it is necessary to arrange these logic circuits 170 in the latter part of the level shift circuit 33 in the high-voltage-driving circuit which applied the conventional level shift circuit. Therefore inevitably it had to constitute from a high-withstand-pressure transistor as a result display properties got worse and the problem that the area of a semiconductor chip large-scale-ized had produced these logic circuits 170.

[0016] Next the 2nd problem is described.

[0017] So that clearly from the circuit diagram of drawing 11 (A) and (B) and the truth value table of drawing 11 (C) in the conventional level shift circuit. During the voltage-level period of reversal of the 1st and 2nd input signal (i.e. when the 1st and 2nd input signal shifts to L and H level from H and L level) when shifting to H and L level from L and H level the current route of the level shift circuit flowed and there was a problem which penetration current generates. Generating of these penetration current makes high voltage power produce GURIJJI the same with having mentioned above when these level shift circuits are applied to a high-voltage-driving circuit for example. And these glitzy generating will have big influence on the display properties of a liquid crystal etc. In this way if a current route flows during the voltage-level

period of reversal of the 1st and 2nd input signal the situation where the speed of response of a level shift circuit becomes slow will also be produced. In order to bring this speed of response forward it is necessary to enlarge extremely size of the transistor 150(152)154 and (156) or size of the transistor for an element drive to which this level shift circuit is connected. However this makes the area of a semiconductor chip increased and is not preferred.

[0018] Now as art of decreasing the former for example penetration current there is art shown in JP4-30765B and JP4-30765A. For example using the on resistance of a MOS transistors such conventional technologies form resistance in the current route of a level shift circuit and decrease penetration current. Therefore although penetration current could be decreased to some extent switch-on of penetration current and a current route was not able to be intercepted thoroughly.

[0019] However when these level shift circuits are applied to high-voltage-driving circuits such as a liquid crystal driving circuit and a generating-high-voltage driver of a multi-bit majority of these level shift circuits are dramatically needed. For example in the liquid crystal panel of 200x640 dots 640 level shift circuits are needed.

Therefore even if resistance can be inserted in a current route and it could decrease penetration current to some extent the influence which it has on display properties etc. too was great. On the other hand if the resistance of the resistance inserted in the current route or the on resistance value of a transistor is enlarged in order to decrease this penetration current further the situation where the speed of response of a level shift circuit becomes slow shortly will arise. However for example in a liquid crystal panel the necessity of operating a level shift circuit at high speed arises as the area of a liquid crystal panel becomes large or as resolution of a liquid crystal panel is made high. Therefore the problem that it was not desirable had produced insertion of the resistance to the current route used as the hindrance of improvement in the speed of the speed of response of a level shift circuit or insertion of the on resistance of a transistor.

[0020] The place which this invention solves the above problems and carries out the purpose The 3rd and 4th switching element one [the switching element] and turned off by a predetermined control signal is provided in a level shift circuit It is in realizing the level shift circuit which gave the function except this transforming the voltage swing of an input signal into the 2nd power supply voltage from the 1st power supply voltage and realizing the high-voltage-driving circuit using this level shift circuit.

[0021]

[Means for Solving the Problem] A level shift circuit which starts this invention in order to attain said purpose In a level shift circuit which transforms a voltage swing of the 1st and 2nd input signal from the 1st power supply voltage to the 2nd power supply voltage In addition to the 1st and 2nd switching element turned on and off by said 1st and 2nd input signal the 3rd switching element is provided in series to said 1st switching element and the 4th switching element is provided in series to said 2nd

switching element These 3rd and 4th switching element is turned on and off by a control signal formed according to a signal state of said 1st and 2nd input signal and a change of a flow and interception of a current route is performed.

[0022] When [both] said 3rd and 4th switching element has [both] said 1st and 2nd input signal in an upper part level in this case or when it is in a bottom level it may be made an OFF state by said control signal and said current route may be intercepted.

[0023] Said 3rd and 4th switching element may be made into an OFF state by said control signal in this case during a voltage-level period of reversal of said 1st and 2nd input signal and said current route may be intercepted.

[0024] In a high-voltage-driving circuit which generates a high-voltage-driving signal for a high-voltage-driving circuit concerning this invention to make a predetermined element drive with the 2nd power supply voltage A logic circuit which forms the 1st and 2nd input signal by a predetermined logical operation A level shift circuit which transforms a voltage swing of said 1st and 2nd input signal from the 1st power supply voltage to the 2nd power supply voltage An output driving circuit which forms said high-voltage-driving signal with an output signal of said level shift circuit is included In addition to the 1st and 2nd switching element turned on and off by said level shift circuit with said 1st and 2nd input signal the 3rd switching element receives said 1st switching element. It is provided in series it is provided in series by the 4th switching element to said 2nd switching element and these 3rd and 4th switching element When [both] said 1st and 2nd input signal is [both] in an upper part level or when it is in a bottom level an OFF state is used by a predetermined control signal and a current route of said level shift circuit is intercepted.

[0025]

[Function] The 3rd and 4th switching element is made to turn on and off in this invention using a predetermined control signal.

Therefore a flow and interception of the current route of a level shift circuit are attained.

By this composition by both this invention even if the 1st and 2nd input signal is the level for example normal circuit operation can be guaranteed. Therefore the signal of all the modes can be inputted into the 1st and 2nd input signal and as a result it becomes possible to arrange conventionally the logic circuit arranged in the latter part of the level shift circuit in the preceding paragraph of a level shift circuit. In this invention the 3rd and 4th switching element is made into an OFF state with a predetermined control signal during the voltage-level period of reversal of the 1st and 2nd input signal.

Therefore generating of penetration current and the current route of a level shift circuit can be effectively prevented from being in a short condition.

[0026]

[Example]

(1) The 1st example of this invention is shown in the 1st example drawing 1 (A) and (B).

[0027]As shown in drawing 1 (A) and (B)in the level shift circuit concerning the 1st example. In addition to the transistors 58 and 60the transistors 62 and 64 which are the 3rd and 4th switching element are connected with the transistor 50 which is the 1st and 2nd switching element(52)54and (56) in series. And these transistors 62 and 64 will be turned on and off by the control signal 31 formed according to the signal state of the 1st and 2nd input signal. The transistor 62 which is the 3rd switching element should just be connected in series here to 50 which is the 1st switching element at leastand (52)The transistor 64 which is the 4th switching element should just be connected in series to 54 which is the 2nd switching element at leastand (56). Thereforethe transistors 62 and 64 which are the 3rd and 4th switching elementfor example are not cared about as composition provided in the transistor 58 and 60 bottom (power supply E2 side).

[0028]In the 1st examplewhen the 1st and 2nd input signal of an opposite phase is mutually inputted by the above compositionit becomes possible to transform the voltage swing into the 2nd power supply voltage (E2) from the 1st power supply voltage (E1).

[0029]In both these level shift circuitseven when the 1st and 2nd input signal is the levelit becomes possible by making the transistors 62 and 64 into an OFF state with the control signal 31 to guarantee normal operation.

[0030]Namelyin the conventional level shift circuitwhen the 1st and 2nd input signal is [both] L level (E1 level) as drawing 11 (A) – (C) explained for examplethe current route of a level shift circuit will flow and it will be in the state which cannot be operated. On the other handin both the level shift circuits concerning the 1st examplewhen the 1st and 2nd level shift circuit is L levelby using 31 asEcontrol signal 2 levelthe current route of a level shift circuit is intercepted and it enables this to avoid the state which cannot be operated.

[0031]Since the 1st example has such a featureit becomes possible as the 1st and 2nd input signal to input the signal (HLLHHLL) of all the modes. Therebywhen the 1st example is applied to a high-voltage-driving circuitfor exampleit becomes possible to arrange conventionally the predetermined logic circuit arranged in the latter part of the level shift circuit in the preceding paragraph of a level shift circuit. And the necessity of driving this logic circuit by high tension is lost by arranging a logic circuit in the preceding paragraph of a level shift circuit in this way. As a resultwhile being able to prevent glitchy generating produced in high voltage power and being able to improve display properties etc.the occupation area of these logic circuits can be made smalland it becomes possible to attain small area-ization of a semiconductor chip. The example in the case of the ability to arrange a logic circuit in the preceding paragraph of a level shift circuit in this way is behind explained in full detail as the 2nd and 3rd example.

[0032]According to this level shift circuitthe 1st and 2nd input signal during the voltage-level period of reversal of the 1st and 2nd input signal on L and H level from H and L level. Or when shifting to H and L level from L and H levelthe current route of a level shift circuit flows and it becomes possible to prevent penetration current from occurring. That isin addition to that of the 1st and 2nd switching elementin this level shift circuitthe transistors 62 and 64 which are the 3rd and 4th switching element are formed in series. Thereforewhen it is in the state where a current route flows in this waythese transistors 62 and 64 are made into an OFF state with a predetermined control signalandtherebygenerating of penetration current and generating of the switch-on of a current route can be prevented. As a resultit becomes possible to aim at prevention from increase of the size of the prevention from aggravation of display propertiesthe transistors 50-56and the transistor for an element drive. The example in this case is behind explained in full detail as the 4th example.

[0033](2) Describe the 2nd examplenext the 2nd example of this invention. The 2nd example is an example at the time of applying the level shift circuit concerning this invention to the drive circuit for STN LCD.

[0034]The circuit diagram of the liquid crystal driving circuit concerning the 2nd example is shown in drawing 2. This liquid crystal driving circuit is the conventional liquid crystal driving circuit which it was constituted including the logic circuit 70the level shift circuits 56and 7and the output driving circuit 80and was shown in drawing 12and a circuit which forms the output signal of four values (V0V2V3V5) from a data signal and an AC converted signal similarly. The level shift circuit concerning this invention is applied to the level shift circuit 6 hereand the conventional level shift circuit is applied to the level shift circuits 5 and 7. Unlike the conventional liquid crystal driving circuit shown in drawing 12the logic circuit 70 is arranged at the preceding paragraph of the level shift circuit.

[0035]The logic circuit 70 comprises the inverters 9 and 10NOR circuits 11 and 12and NAND circuits 13 and 14carries out a predetermined logical operation to the data signal and AC converted signal which were inputtedand forms the input signals 232425and 26 over the level shift circuits 6 and 7. Since the logic circuit 70 is arranged at the preceding paragraph of the level shift circuitit is [the transistor which constitutes the logic circuit 70] possible here to make it operate not with the voltage V5 for a liquid crystal drive but with voltage VSS for a logic circuit drive.

[0036]The output signals 232425and 26 of the logic circuit 70 serve as an input of the level shift circuit 6 concerning this inventionand the level shift circuit 7and a voltage swing is transformed into the voltage V5 for a liquid crystal drive. And the output signals 272829and 30 by which the level shift was carried out in the level shift circuits 6 and 7 are inputted into the output driving circuit 80 constituted by the Nch transistors 19 and 20 and Pch transistors 21 and 22.

[0037]As for an AC converted signalthe level shift of the voltage swing is carried out

by the level shift circuit 5 to the voltage V5 for a liquid crystal drive. And the control signal 31 formed of this level shift is inputted into the transistors 62 and 64 which are the 3rd and 4th switching element of the level shift circuit 6 concerning this invention. The control signal 31 will be inputted into the gate electrode of the Nch transistors 17 and 18 by which the drain area was connected to the output signals 29 and 30 of the level shift circuit 7.

[0038]The power supply V0V2V3and V5 are connected to the source region of the transistors 19–22 which constitute the output driving circuit 80. Common connection of the drain area of the transistors 19–22 is carried outand this drain output by which common connection was carried out will be outputted to each liquid crystal element as a liquid crystal driving signal. The above composition enables it to change a binary output into 4 value output (V0V2V3V5) in the liquid crystal driving circuit concerning this example.

[0039]Nextoperation of this liquid crystal driving circuit is explained using drawing 3 and drawing 4. The truth value table showing the relation between a data signal and an AC converted signaland an output signal is shown in drawing 3and the actual wave form chart of a data signalan AC converted signalthe signals 27–30and an output signal is shown in drawing 4.

[0040]Firstthe case where an AC converted signal is L level (VSS level) is explained. In this case31 is set toVcontrol signal inputted into transistors 62 and 64 which are 3rd and 4th switching element of level shift circuit 6 5 level. Thereforethe Nch transistors 62 and 64 of the level shift circuit 6 will be in an OFF stateand the current route between the power supplies of the level shift circuit 6 will be in a cut off state. Since an AC converted signal is L level at this timethe output signals 23 and 24 of NOR circuits 11 and 12 in the logic circuit 70 serve as L level. TherebyPch transistors 50 and 54 of the level shift circuit 6 will be in an ON stateand both the output signals 27 and 28 of the level shift circuit 6 serve as a GND level. As a resultPch transistors 21 and 22 in the output driving circuit 80 will be set as an OFF state. Since the output signal of the level shift circuit 6 always serves as a GND level from this when an AC converted signal is L levelit can be considered that the level shift circuit 6 will be in a non selection state. Thusalso when both the level shift circuits concerning this invention is [the 1st and 2nd input] L levelin order that it may operate normallyit becomes possible to arrange the logic circuit 70 in the preceding paragraph of a level shift circuit.

[0041]Nowaccording to the state of a data signalthe 1st and 2nd input signal is given to the input of the level shift circuit 7 through the logic circuit 70 in this case. And as the output signals 29 and 30 of this level shift circuit 7 will be inputted into the gate electrode of the Nch transistors 19 and 20 in the output driving circuit 80 and mentioned abovePch transistors 21 and 22 are OFF states at this time. Thereforethe output signal of the output driving circuit 80 serves as V5 levelwhen a data signal is L level (VSS level)and it serves as V3 level at the time of H level (GND level).

[0042] Thus when an AC converted signal is L level the data according to a data signal will be outputted to the output signals 29 and 30 of the level shift circuit 7 and the data of V3 and V5 level will be outputted to the output signal of the output driving circuit 80 according to a data signal. Therefore when an AC converted signal is L level it can be said that the level shift circuit 7 is in a selective state.

[0043] Since the AC converted signal which is L level is inputted into the gate electrode of the Nch transistors 17 and 18 in this case the Nch transistors 17 and 18 are OFF states.

[0044] Next the case where an AC converted signal is H level (GND level) is explained. In this case the control signal 31 inputted into the transistors 62 and 64 which are the 3rd and 4th switching element of the level shift circuit 6 serves as a GND level. Therefore the transistors 62 and 64 will be in an ON state and the level shift circuit 6 will carry out level shift conversion of the voltage swing of the 1st and 2nd input signal 23 and 24 like the usual level shift circuit. And the output signals 27 and 28 of this level shift circuit 6 are inputted into the gate electrode of Pch transistors 21 and 22 of the output driving circuit 80. Thereby the output signal of the output driving circuit 80 serves as V0 level when a data signal is L level (VSS level) and it serves as V2 level at the time of H level (GND level). Thus when an AC converted signal is H level it can be said that the level shift circuit 6 is in a selective state.

[0045] Now in this case since an AC converted signal is H level H level is always outputted from NAND circuits 13 and 14 of the logic circuit 70. Therefore the output signals 29 and 30 of the level shift circuit 6 must be in the high impedance state. However the drain area of the Nch transistors 17 and 18 where the control signal 31 was connected to the gate electrode is connected to the output signals 29 and 30. And since an AC converted signal is H level this control signal 31 serves as a GND level therefore the Nch transistors 17 and 18 have become an ON state. For this reason it will be fixed to the output signal 29 of the level shift circuit 7 and 30V5 level and the Nch transistors 19 and 20 of the output driving circuit 80 will be set as an OFF state.

[0046] The level shift circuit 6 is changed to a selective state in the state of non selection with the control signal 31 and it is made to operate in the 2nd example shown in drawing 2 as explained above. It is possible to realize a function equivalent to a conventional example by this operation in the 2nd example.

[0047] Now in the 2nd example the logic circuit 70 can be arranged in the preceding paragraph of a level shift circuit. Therefore in a conventional example the logic circuit which was operating on the voltage V5 (for example -20 ~ -40V) for a liquid crystal drive can be operated with voltage VSS for a logic circuit drive (for example -5V). Therefore when a data signal or an AC converted signal changes even if penetration current arises in NOR circuits 11 and 12 and NAND circuits 13 and 14 it is lost that this penetration current has adverse effects such as glitchy generation on the voltage V5 for a liquid crystal drive. For this reason the stable voltage V5 for a liquid crystal

drive can be supplied to a liquid crystal display and the display quality of a liquid crystal display can be raised extremely.

[0048] In the 2nd example since it can ** if the logic circuit 70 is operated with very low operating voltage compared with a conventional example reduction of the consumed electric current can be carried out extremely. That is generally the consumed electric current is expressed with $i = c \cdot v \cdot f$ (load carrying capacity) v (operating voltage) and f (clock frequency). Therefore in a conventional example since the operating voltage of a logic circuit can be set to have been $-20 \sim -40V$ for example to $-5V$ in the 2nd example it can carry out reduction of the consumed electric current extremely. Since especially a liquid crystal display is used for portable equipment in many cases prolonged operation by a cell and low-consumption-current-ization are demanded for the miniaturization and the weight saving. It is understood that the liquid crystal driving circuit concerning the 2nd example serves as very dominance composition from this compared with a conventional example.

[0049] In the 2nd example shown in drawing 2 it has the composition that one level shift circuit was added to the conventional example shown in drawing 12. However in the 2nd example of drawing 2 as mentioned above the level shift circuit 6 and the level shift circuit 7 are exclusively operated with the control signal 31. Therefore it can be considered that the consumed electric current of a level shift circuit is equivalent to the conventional example shown in drawing 12. As a result it is understood that the liquid crystal driving circuit concerning the 2nd example can be saved by the consumed electric current reduced in a logic circuit compared with a conventional example.

[0050] The liquid crystal driving circuit concerning the 2nd example serves as dominance composition rather than a conventional example also in the field of an occupation area as shown in drawing 5.

[0051] That is compared with the usual transistor which operates by $-5V$ the high-withstand-pressure transistor which operates by the high tension of $-20 \sim -40V$ needs about 5-time area in order to realize the same driving ability.

[0052] To arrange a semiconductor chip it is necessary to arrange what is called a guard band around the source region of a transistor. These guard bands are needed in order to prevent the latchup which will become easy to generate especially if the driver voltage supplied to the source region becomes high. Therefore compared with the usual transistor it is necessary to also enlarge the occupation area of this guard band dramatically with the high-withstand-pressure transistor which needs to be driven by high tension.

[0053] As shown in drawing 6 the occupation area of the logic circuit 70 can be made very smaller in the 2nd example than in the above two points.

[0054] Now the level shift circuit 6 concerning this invention has the composition that the Nch transistors 62 and 64 were added compared with the conventional level shift circuit. However these Nch transistors 62 and 64 of output port are transistors which

are not from a middle drain as shown in drawing 2. Therefore the Nch transistors 62 and 64 can be arranged with the Nch transistors 58 and 60 and a minimum pitch (pitch between gate electrodes) and there is almost no increase in the semiconductor chip area by having added these transistors 62 and 64. Since the transistors 17 and 18 added in the output driving circuit 80 are also what carries out pulldown [of the output signal of the level shift circuit 7 set as the high impedance state] they turn into a transistor of very small size. Therefore there is also almost no increase in the semiconductor chip area by having added these transistors.

[0055] in the 2nd example shown in drawing 2 it comes out compared with a conventional example and has the composition of having added the one level shift circuit 7. However if the level shift circuit 6 and the level shift circuit 7 are put in order and arranged Nch of each level shift circuit and a Pch transistor can be formed within the respectively same well.

[0056] As mentioned above in the 2nd example if the increase in the occupation area by reduction of the occupation area of the logic circuit mentioned above and the addition of a level shift circuit and the Nch transistors 17, 18, 62 and 64 is totaled the area of a liquid crystal driving circuit is reducible rather than a conventional example as a whole. This point will be in if drawing 5 is seen.

[0057] And as shown in drawing 5 the semiconductor chip formed in the liquid crystal driving circuit of the 2nd example serves as oblong shape to the semiconductor chip formed in the liquid crystal driving circuit of a conventional example serving as longwise shape. Therefore the 2nd example becomes the best thing in order to realize the chip of slim shape. And if slim chip making of the liquid crystal driving circuit is carried out as shown in drawing 6 it will become possible to enlarge the ratio (ratio of the size of a liquid crystal panel to that of apparatus) of the effective display area of a liquid crystal panel. Since the ratio of this effective display area is set to one of the very important performances in this kind of liquid crystal panel also in this meaning the 2nd example serves as very dominance composition compared with a conventional example.

[0058] (3) Describe the 3rd example next the 3rd example of this invention. The 3rd example is an example at the time of applying the level shift circuit concerning this invention to the drive circuit for MIM liquid crystals.

[0059] The circuit diagram of the liquid crystal driving circuit concerning the 3rd example is shown in drawing 7. This liquid crystal driving circuit is constituted including the logic circuit 70, the level shift circuits 67 and 8 and the output driving circuit 80. And the output signal and FR signal of the shift register arranged at the preceding paragraph of a liquid crystal driving circuit are inputted into the logic circuit 70. This FR signal is inputted also into the level shift circuit 5. The power supply V0, V2, V4 and V5 are connected to the source region of the Nch transistors 19 and 20 in the output driving circuit 80 and Pch transistors 21 and 22. And the common drain of these transistors 19–22 serves as an output signal of this liquid crystal driving

circuit and it will be used as a common signal for driving a liquid crystal element. Since the principal part of the composition is mostly common in the liquid crystal driving circuit concerning the 2nd example shown in drawing 2 the 3rd example is omitted about detailed explanation of composition.

[0060] The wave form chart showing operation of the 3rd example is shown in drawing 8. The common signal which is an output signal of this liquid crystal driving circuit as shown in the figure will be reversed and outputted between V1 and V5 or between V0 and V4 synchronizing with FR signal.

[0061] The 3rd example has the same dominance point as the 2nd example to a conventional example so that clearly from the composition of the 3rd example shown in drawing 7. That is since it becomes possible to arrange the logic circuit 70 in the preceding paragraph of a level shift circuit it becomes possible to operate this logic circuit 70 for example by $-5V$. As a result it becomes possible to attain improvement in display properties or small-area-izing of a semiconductor chip slim chip making etc.

[0062] (4) Describe the 4th example next the 4th example of this invention. The 4th example is an example which makes the 3rd and 4th switching element an OFF state with a predetermined control signal and intercepts the current route of a level shift circuit during the voltage-level period of reversal of the 1st and 2nd input terminal of a level shift circuit.

[0063] The circuit diagram of the 4th example is shown in drawing 9 (A) and the wave form chart of each signal of control signal 31 grade is shown in drawing 9 (B).

[0064] As shown in drawing 9 (A) the control signal 31 which turns on and off the Nch transistors 62 and 64 which are the 3rd and 4th switching element is formed by the one-shot multivibrator 92. The clock signal is inputted into this one-shot multivibrator 92 via the D-flip-flop 47. And this clock signal is a signal in sync with reversal of the voltage level of the 1st and 2nd input signal. Therefore as shown in drawing 9 (B) from the one-shot multivibrator 92 during the voltage-level period of reversal of the 1st and 2nd input signal the transistors 62 and 64 will be set as an OFF state and the control signal 31 which intercepts the current route of the level shift circuit 90 will be outputted.

[0065] Since the 4th example operates as mentioned above it can prevent the penetration current produced during the voltage-level period of reversal of the 1st and 2nd input signal. Therefore when the 4th example is applied to high-voltage-driving circuits such as liquid crystal driving circuits (STN-MIMTFT etc.) and a generating-high-voltage driver of a multi-bit for example glitzy generating produced in high voltage power can be prevented and display properties etc. can be raised.

[0066] According to the 4th example speed of response of the level shift circuit 90 can be carried out extremely early and reduction of an occupation area can be attained. That is according to the 4th example since the transistors 62 and 64 are made into an OFF state during the voltage-level period of reversal of the 1st and 2nd input signal the short condition of a level shift circuit is lost. Therefore it becomes possible

to carry out extremely speed of response of the level shift circuit 90 early. as a result it becomes possible to boil markedly the size of the transistor for an element drive to which the transistors 50-60 of the level shift circuit 90 or this level shift circuit is connected and to make it small. Thus according to the 4th example it becomes possible to realize a characteristic improvement of a level shift circuit and an adding function by newly providing the 3rd and 4th switching element turned on and off by a predetermined control signal.

[0067] This invention is not limited to the above-mentioned example and various modification implementation is possible for it within the limits of the gist of this invention.

[0068] For example although the above-mentioned Examples 1-4 explained the level shift circuit which carries out the level shift of the power supply voltage by the side of minus and the high-voltage-driving circuit using this. Naturally this invention is applicable also to the level shift circuit which carries out the level shift of the power supply voltage by the side of plus as shown in drawing 10 and the high-voltage-driving circuit using this.

[0069] Although the 2nd and 3rd example explained the case where this invention was applied to the liquid crystal driving circuit used for STN LCD and an MIM liquid crystal, this invention is applicable to the drive circuit of all kinds such as TFT liquid crystal of liquid crystals not only in this for example. This invention is widely applicable to the semiconductor circuit provided with the high-withstand-pressure output of not only a liquid crystal driving circuit but a multi-bit.

[0070]

[Effect of the Invention] According to this invention even if the 1st and 2nd input signal is [both] the level for example normal circuit operation can be guaranteed and it becomes possible to arrange the logic circuit conventionally arranged in the latter part of the level shift circuit in the preceding paragraph of a level shift circuit. Therefore this logic circuit can be made to drive on the voltage for a logic circuit drive. As a result glitchy ** can be prevented from occurring in high voltage power and performance such as the display properties of a high-voltage-driving circuit can be raised dramatically. It becomes possible to be able to decrease the consumed electric current of a semiconductor circuit and a chip area and to attain slim chip making of a semiconductor device.

[0071] According to this invention penetration current can be prevented from occurring during the voltage-level period of reversal of the 1st and 2nd input signal.

Therefore glitchy ** can be prevented from occurring in high voltage power and performance such as the display properties of a high-voltage-driving circuit can be raised. According to this invention the current route of a level shift circuit can be prevented from being in a short condition during the voltage-level period of reversal of the 1st and 2nd input signal. Therefore it becomes possible to carry out responding operation of a level shift circuit early extremely. as a result it becomes possible to boil

markedly the size of the switching element which constitutes a level shift circuit or the size of the transistor for an element drive to which a level shift circuit is connected and to make it small.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) and (B) is a circuit diagram showing the level shift circuit concerning the 1st example of this invention and drawing 1 (C) is a truth value table for explaining the operation.

[Drawing 2] Drawing 2 is a circuit diagram showing the liquid crystal driving circuit concerning the 2nd example of this invention.

[Drawing 3] Drawing 3 is a figure showing the truth value table of the liquid crystal driving circuit concerning the 2nd example.

[Drawing 4] Drawing 4 is a wave form chart showing operation of the liquid crystal driving circuit concerning the 2nd example.

[Drawing 5] Drawing 5 is an approximate account figure for explaining reduction-of-area-ization of the semiconductor chip by the 2nd example.

[Drawing 6] Drawing 6 is an approximate account figure for explaining the slim chip making of the semiconductor chip by the 2nd example.

[Drawing 7] Drawing 7 is a circuit diagram showing the liquid crystal driving circuit concerning the 3rd example of this invention.

[Drawing 8] Drawing 8 is a wave form chart showing operation of the liquid crystal driving circuit concerning the 3rd example.

[Drawing 9] Drawing 9 is a circuit diagram showing the 4th example of this invention.

[Drawing 10] Drawing 10 is a circuit diagram showing the level shift circuit in the case of carrying out the level shift of the power supply by the side of plus.

[Drawing 11] Drawing 11 (A) and (B) is a circuit diagram showing the conventional level shift circuit and drawing 11 (C) is a truth value table for explaining the operation.

[Drawing 12] Drawing 12 is a circuit diagram showing the liquid crystal driving circuit which applied the conventional level shift circuit.

[Description of Notations]

678339094a level shift circuit

891034 and 35 Inverter

11123638 NOR circuits

13143739 NAND circuits

17181920525658606264152156158a 160 Nch transistor

21225054150154 Pch transistors

23242526272829304445 and 46 Signal wire

31 Control signal

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-318055

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.⁵ 識別記号 庁内整理番号 F I 技術表示箇所
G 0 9 G 3/36 8621-5 G
3/20 J 9176-5 G
H 0 3 K 5/02 L 7402-5 J
19/0185
8941-5 J H 0 3 K 19/ 00 1 0 1 E
審査請求 未請求 請求項の数 4 F D (全 13 頁) 最終頁に続く

(21)出願番号 特願平5-329871

(22)出願日 平成5年(1993)11月30日

(31)優先権主張番号 特願平4-323373

(32)優先日 平4(1992)12月2日

(33)優先権主張国 日本 (J P)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 青木 茂樹

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

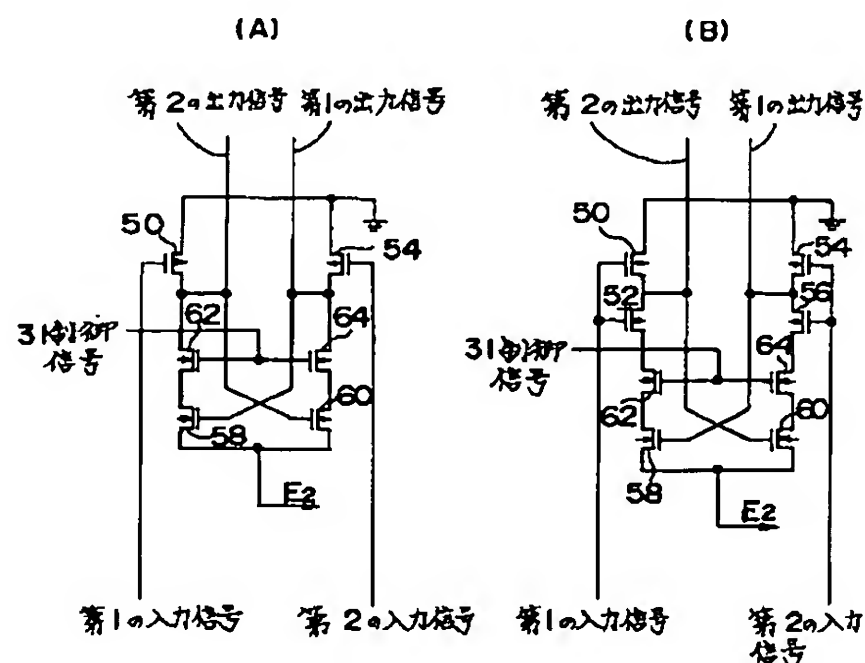
(74)代理人 弁理士 井上 一 (外2名)

(54)【発明の名称】 レベルシフト回路及びこれを用いた高電圧駆動回路

(57)【要約】

【目的】第1の電源電圧から第2の電源電圧へと変換する以外の機能を持たせたレベルシフト回路を実現し、またこのレベルシフト回路を用いた高電圧駆動回路を実現すること。

【構成】本発明によれば、第1、第2のスイッチング素子（トランジスタ50～56）に加えて第3、第4のスイッチング素子（トランジスタ62、64）が直列に設けられている。トランジスタ62、64は所定の制御信号によりオン・オフされ、これによりレベルシフト回路の電流経路の導通・遮断が行われる。以上の構成によりレベルシフト回路の後段に配置されていた論理回路をレベルシフト回路の前段に配置でき、この論理回路を論理回路駆動用電圧で駆動できるため回路の小面積化を図れる。また第1、第2の入力信号の電圧レベル反転期間に貫通電流が発生するのを防止でき、電流経路がショート状態を防止できるため表示特性等の性能の向上、レベルシフト回路の応答動作の向上を図れる。



(C)

第1の入力信号	第2の入力信号	第1の出力信号	第2の出力信号
H (GND)	L (E1)	GND	E2
L (E1)	H (GND)	E2	GND
H (GND)	H (GND)	Z	Z
L (E1)	L (E1)	GND	GND

【特許請求の範囲】

【請求項 1】 第 1、第 2 の入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換させるレベルシフト回路において、

前記第 1、第 2 の入力信号によりオン・オフされる第 1、第 2 のスイッチング素子に加えて第 3 のスイッチング素子が前記第 1 のスイッチング素子に対して直列に設けられ第 4 のスイッチング素子が前記第 2 のスイッチング素子に対して直列に設けられ、これらの第 3、第 4 のスイッチング素子が前記第 1、第 2 の入力信号の信号状態に応じて形成された制御信号によりオン・オフされ、電流経路の導通・遮断の切り換えが行われることを特徴とするレベルシフト回路。

【請求項 2】 請求項 1 において、前記第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に前記制御信号によりオフ状態にされ、前記電流経路が遮断されることを特徴とするレベルシフト回路。

【請求項 3】 請求項 1 において、前記第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号の電圧レベル反転期間に前記制御信号によりオフ状態にされ、前記電流経路が遮断されることを特徴とするレベルシフト回路。

【請求項 4】 所定の素子を第 2 の電源電圧で駆動させるための高電圧駆動信号を発生する高電圧駆動回路において、

所定の論理演算により第 1、第 2 の入力信号を形成する論理回路と、

前記第 1、第 2 の入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換させるレベルシフト回路と、

前記レベルシフト回路の出力信号により前記高電圧駆動信号を形成する出力駆動回路とを含み、

前記レベルシフト回路には前記第 1、第 2 の入力信号によりオン・オフされる第 1、第 2 のスイッチング素子に加えて第 3 のスイッチング素子が前記第 1 のスイッチング素子に対して直列に設けられ第 4 のスイッチング素子が前記第 2 のスイッチング素子に対して直列に設けられ、これらの第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に所定の制御信号によりオフ状態にされ、前記レベルシフト回路の電流経路が遮断されることを特徴とする高電圧駆動回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換するレベルシフト回路及びこのレベルシフト回路を用いた高電圧駆動回路に関するものである。

【0002】

【従来の技術】 従来のレベルシフト回路は、互いに逆位相で入力された第 1、第 2 の入力信号の電圧振幅を、第 1 の電源電圧 (E 1) から第 2 の電源電圧 (E 2) へと変換する以外の機能を有してはいなかった。

【0003】 図 11 (A)、(B) に、従来のレベルシフト回路の回路図を示す。このレベルシフト回路は、第 1、第 2 のスイッチング素子であるトランジスタ 150、(152)、154、(156) と、トランジスタ 158、160 とで構成される。そして、電圧振幅が 0 ~ E 1 の第 1 の入力信号及びこの第 1 の入力信号と逆位相の信号である第 2 の入力信号が、それぞれトランジスタ 150、(152)、154、(156) のゲート電極に入力されている。また、トランジスタ 158、160 のゲート電極には、レベルシフト回路の第 1、第 2 の出力信号が入力されている。

【0004】 従来のレベルシフト回路では、以上の構成により互いに逆位相の第 1、第 2 の入力信号の電圧振幅を、第 1 の電源電圧 (E 1) から第 2 の電源電圧 (E 2) へと変換していた。なお、図 11 (A)、(B) に示すレベルシフト回路の例では、E 1、E 2 は共に負の値であり、E 1 > E 2 の関係となっている。

【0005】 さて、従来のレベルシフト回路では、第 1、第 2 のスイッチング素子の他に所定の制御信号によりオン・オフされる第 3、第 4 のスイッチング素子が設けられていなかった。従って、電源電圧 E 1 から E 2 への変換以外の機能を有せず、このため従来のレベルシフト回路では以下のような問題があった。

【0006】

【発明が解決しようとする課題】 まず、第 1 の問題について説明する。

【0007】 図 11 (C) には、この従来のレベルシフト回路の真理値表が示される。同図に示されるように、この従来例では、互いに逆相の入力信号が入力された場合には電源電圧 E 1 から E 2 への変換が行われる。しかし、第 1、第 2 の入力信号が共に同レベルの場合は、このレベルシフト回路は正常な動作を行わない。即ち、図 11 (A)、(B) の回路では、第 1、第 2 の入力信号が共に H レベル (GND レベル) の場合は、第 1、第 2 の出力信号は Z レベル (ハイインピーダンスレベル) となり、また、第 1、第 2 の入力信号が共に L レベル (E 1 レベル) の場合は、レベルシフト回路の電流経路が導通してしまい、動作不能となってしまう。

【0008】 この欠点のため、従来のレベルシフト回路を高電圧駆動回路、例えば液晶駆動回路 (例えば STN、TFT、MIM 液晶用の駆動回路)、多ビットの高電圧出力ドライバー等に適用した場合に、以下のような問題が生じた。

【0009】 図 12 には、従来のレベルシフト回路を例えば STN 液晶用の駆動回路に適用した場合の例が示さ

れる。データ信号は、第1の入力信号として、第1のスイッチング素子であるトランジスタ150、152に入力される。更に、このデータ信号はインバータ34により反転され、第2の入力信号として、第2のスイッチング素子であるトランジスタ154、156に入力される。これにより電圧振幅がGND～VSS（VSSは例えば-5V）からGND～V5（V5は例えば-30V）へと変換される。同様に交流化信号も、レベルシフト回路32に入力され、電圧振幅がGND～VSSからGND～V5へと変換される。

【0010】このようにしてレベルシフトされたレベルシフト回路33、35の出力信号45、46、44は、論理回路170へと入力される。この論理回路170は、第2の電源電圧V5にて動作するNAND回路37、39及びNOR回路36、38から構成されている。そして、この論理回路170内で所定の論理演算が行われ、論理演算終了後にその出力信号172、174、176、178は、Nchトランジスタ40、43、Pchトランジスタ41、42より構成される出力駆動回路180に入力される。そして、出力駆動回路180内のこれらのトランジスタ40～43では、ゲート電極に論理回路170の出力信号172～178が接続され、ソース領域に電源V0、V2、V3、V5（ $V0 > V2 > V3 > V5$ ）が接続されている。また、これらのトランジスタ40～43のドレイン領域は共通接続されており、この共通接続されたドレイン出力が液晶駆動信号としてそれぞれの液晶素子に出力されることになる。以上の構成により、この従来の液晶駆動回路では、2値出力を4値出力（V0、V2、V3、V5）へと変換することが可能となる。

【0011】さて、従来のレベルシフト回路を用いた液晶駆動回路では、図12に示すように、NOR回路36、38及びNAND回路37、39で構成される論理回路170を、レベルシフト回路33の後段に配置する必要があった。その理由は以下の通りである。即ち、仮に、従来例で論理回路170をレベルシフト回路33の前段に配置したとする。すると論理回路170の出力には4通りの状態があるため（HL、LH、HH、LL）、レベルシフト回路33の第1、第2のスイッチング素子（トランジスタ150～156）には同レベルの信号（HHレベル、LLレベル）が入力される場合が生ずる。しかし、従来のレベルシフト回路では、前述の図11（A）～（C）にて説明したように、第1、第2の入力信号に同レベルの信号が入力されると正常な動作が保証されなかった。従って、従来例で論理回路170をレベルシフト回路33の前段に配置することは不可能であり、図12に示すように、論理回路170はレベルシフト回路33の後段に配置されることとなっていた。この結果、必然的に論理回路170内のNOR回路36、38及びNAND回路37、39は、第2の電源電圧V

5で駆動されることになってしまう。

【0012】ところが、この第2の電源電圧V5は液晶駆動用電圧としても使用されているものである。このためデータ信号または交流化信号が変化した際に、前記NOR回路36、38及びNAND回路37、39に生ずる貫通電流によってグリッジが発生した場合に、このグリッジは液晶駆動用電圧にも大きな影響を与えることになる。特に、これらのNOR回路及びNAND回路は、液晶パネルの全てのデータラインに4個ずつ接続されているため（例えば200×640ドットの液晶パネルでは総計640×4=2560個）、その影響は極めて大きなものとなる。このため、これらのグリッジにより、液晶表示素子に供給される電圧の実効値が変化してしまい、液晶の表示品位が極めて低下してしまうという事態が生じた。

【0013】また、この第2の電源電圧V5は例えば-20～-40V（あるいは20～40V）の高電圧であり、このためNOR回路36、38、NAND回路37、39を構成するトランジスタも高耐圧トランジスタとする必要がある。しかし、これらの高耐圧トランジスタは、第1の電源電圧例えば-5V（あるいは5V）で動作するトランジスタよりも、同一の駆動能力を実現させるためのトランジスタの占有面積は極めて大きなものになってしまう。

【0014】更に、半導体チップのレイアウトを行なう場合には、トランジスタのソース領域の周辺に、基板の電位を保持する目的で基板と同電位のいわゆるガードバンドを配置する必要がある。これらのガードバンドは、ソース領域に供給される駆動電圧が高くなると特に発生し易くなるラッチアップを防止するために必要となるものである。従って、通常のトランジスタに比べて、高電圧で駆動する必要がある高耐圧トランジスタでは、このガードバンドの占有面積を非常に大きくする必要がある。

【0015】以上のように、高耐圧トランジスタで構成される論理回路は、通常のトランジスタで構成される論理回路に比べて、表示特性に悪影響を及ぼし易く、また、非常に大きな面積を占めることとなっていた。従って、これらの論理回路はなるべく高耐圧トランジスタで構成しないことが、表示特性の向上という面から、あるいは半導体チップの小面積化という面から好ましい。しかし、図12に示すように、従来のレベルシフト回路を適用した高電圧駆動回路では、これらの論理回路170をレベルシフト回路33の後段に配置する必要がある。従って、必然的にこれらの論理回路170は高耐圧トランジスタで構成しなければならず、この結果、表示特性が悪化し、半導体チップの面積が大規模化するという問題が生じていた。

【0016】次に、第2の問題について述べる。

【0017】図11（A）、（B）の回路図及び図11

(C) の真理値表から明らかなように、従来のレベルシフト回路では、第 1、第 2 の入力信号の電圧レベル反転期間、即ち第 1、第 2 の入力信号が H、L レベルから L、H レベルに移行する際、あるいは、L、H レベルから H、L レベルに移行する際に、レベルシフト回路の電流経路が導通し、貫通電流が発生する問題があった。これらの貫通電流の発生は、例えばこれらのレベルシフト回路を高電圧駆動回路に適用した場合に、前述したのと同様に、高電圧電源にグリッジを生じさせる。そして、これらのグリッジの発生は、液晶の表示特性等に大きな影響を与えることになる。また、このように第 1、第 2 の入力信号の電圧レベル反転期間に、電流経路が導通してしまうと、レベルシフト回路の応答速度が遅くなってしまう事態も生じる。この応答速度を早めるためには、トランジスタ 150、(152)、154、(156) のサイズ、あるいはこのレベルシフト回路が接続される素子駆動用のトランジスタのサイズを極めて大きくする必要がある。しかし、このことは半導体チップの面積を増加させることになり好ましくない。

【0018】さて、従来、例えば貫通電流を減少させる技術としては、特公平 4 - 3 0 7 6 5 号公報、特開平 4 - 3 0 7 6 5 に示す技術がある。これらの従来技術は、例えば MOS トランジスタのオン抵抗を利用して、レベルシフト回路の電流経路に抵抗を形成し、貫通電流を減少させるものであった。従って、貫通電流をある程度減少させることはできるが、貫通電流、電流経路の導通状態を完全に遮断することはできなかった。

【0019】しかし、これらのレベルシフト回路を液晶駆動回路、多ビットの高電圧出力ドライバー等の高電圧駆動回路に適用した場合には、これらのレベルシフト回路は非常に多数必要となる。例えば、 200×640 ドットの液晶パネルでは、640 個のレベルシフト回路が必要となる。従って、電流経路に抵抗を挿入して貫通電流をある程度減少させることができて、やはり表示特性等に与える影響は大きいものであった。一方、この貫通電流を更に減少させるべく電流経路に挿入された抵抗の抵抗値、あるいはトランジスタのオン抵抗値を大きくすると、今度は、レベルシフト回路の応答速度が遅くなるという事態が生ずる。しかし、例えば液晶パネル等では、液晶パネルの面積が大きくなるにしたがって、あるいは液晶パネルの解像度を高くするにしたがって、レベルシフト回路を高速に動作させる必要が生ずる。従って、レベルシフト回路の応答速度の高速化の妨げとなる電流経路への抵抗の挿入、あるいはトランジスタのオン抵抗の挿入は好ましくないという問題が生じていた。

【0020】本発明は以上の様な問題を解決するもので、その目的をすれば、レベルシフト回路に所定の制御信号によりオン、オフされる第 3、第 4 のスイッチング素子を設け、これにより入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換する以外の機

能を持たせたレベルシフト回路を実現し、またこのレベルシフト回路を用いた高電圧駆動回路を実現することにある。

【0021】

【課題を解決するための手段】前記目的を達成するために本発明に係るレベルシフト回路は、第 1、第 2 の入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換させるレベルシフト回路において、前記第 1、第 2 の入力信号によりオン・オフされる第 1、第 2 のスイッチング素子に加えて第 3 のスイッチング素子が前記第 1 のスイッチング素子に対して直列に設けられ第 4 のスイッチング素子が前記第 2 のスイッチング素子に対して直列に設けられ、これらの第 3、第 4 のスイッチング素子が前記第 1、第 2 の入力信号の信号状態に応じて形成された制御信号によりオン・オフされ、電流経路の導通・遮断の切り換えが行われることを特徴とする。

【0022】また、この場合、前記第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に前記制御信号によりオフ状態にされ、前記電流経路が遮断されてもよい。

【0023】また、この場合、前記第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号の電圧レベル反転期間に前記制御信号によりオフ状態にされ、前記電流経路が遮断されてもよい。

【0024】また、本発明に係る高電圧駆動回路は、所定の素子を第 2 の電源電圧で駆動させるための高電圧駆動信号を発生する高電圧駆動回路において、所定の論理演算により第 1、第 2 の入力信号を形成する論理回路と、前記第 1、第 2 の入力信号の電圧振幅を第 1 の電源電圧から第 2 の電源電圧へと変換させるレベルシフト回路と、前記レベルシフト回路の出力信号により前記高電圧駆動信号を形成する出力駆動回路とを含み、前記レベルシフト回路には前記第 1、第 2 の入力信号によりオン・オフされる第 1、第 2 のスイッチング素子に加えて第 3 のスイッチング素子が前記第 1 のスイッチング素子に対して直列に設けられ第 4 のスイッチング素子が前記第 2 のスイッチング素子に対して直列に設けられ、これらの第 3、第 4 のスイッチング素子は、前記第 1、第 2 の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に所定の制御信号によりオフ状態にされ、前記レベルシフト回路の電流経路が遮断されることを特徴とする。

【0025】

【作用】本発明によれば、所定の制御信号を用いて第 3、第 4 のスイッチング素子をオン・オフさせることにより、レベルシフト回路の電流経路の導通・遮断が可能となる。この構成により、本発明では、例えば第 1、第 2 の入力信号が共に同レベルであっても、正常な回路動作を保証することができる。従って、第 1、第 2 の入力

信号に全ての態様の信号を入力でき、この結果、従来はレベルシフト回路の後段に配置されていた論理回路を、レベルシフト回路の前段に配置することが可能となる。更に、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に第3、第4のスイッチング素子を所定の制御信号によりオフ状態にすることにより、貫通電流の発生及びレベルシフト回路の電流経路がショート状態となることを有効に防止できる。

【0026】

【実施例】

(1) 第1の実施例

図1(A)、(B)に本発明の第1の実施例を示す。

【0027】図1(A)、(B)に示すように、第1の実施例に係るレベルシフト回路では、第1、第2のスイッチング素子であるトランジスタ50、(52)、54、(56)と、トランジスタ58、60に加えて、第3、第4のスイッチング素子であるトランジスタ62、64が直列に接続されている。そして、このトランジスタ62、64は、第1、第2の入力信号の信号状態に応じて形成された制御信号31によりオン・オフされることになる。ここで、第3のスイッチング素子であるトランジスタ62は少なくとも第1のスイッチング素子である50、(52)に対して直列に接続されていればよく、第4のスイッチング素子であるトランジスタ64は少なくとも第2のスイッチング素子である54、(56)に対して直列に接続されていればよい。従って、例えば第3、第4のスイッチング素子であるトランジスタ62、64を、トランジスタ58、60の下側(電源E2側)に設ける構成としてもかまわない。

【0028】本第1の実施例では、以上の構成により互いに逆位相の第1、第2の入力信号が入力された場合に、その電圧振幅を第1の電源電圧(E1)から第2の電源電圧(E2)へと変換することが可能となる。

【0029】更に、本レベルシフト回路では、第1、第2の入力信号が共に同レベルである場合でも、制御信号31によりトランジスタ62、64をオフ状態にすることにより正常な動作を保証することが可能となる。

【0030】即ち、従来のレベルシフト回路では、図11(A)～(C)で説明したように、例えば第1、第2の入力信号が共にLレベル(E1レベル)である場合は、レベルシフト回路の電流経路が導通してしまい、動作不能の状態になってしまう。これに対して、本第1の実施例に係るレベルシフト回路では、第1、第2のレベルシフト回路が共にLレベルの場合には、制御信号31をE2レベルとすることによりレベルシフト回路の電流経路を遮断し、これにより動作不能の状態を回避することが可能となる。

【0031】本第1の実施例は、このような特徴を有しているため、第1、第2の入力信号として、全ての態様の信号(HL、LH、HH、LL)を入力することが可

能となる。これにより、例えば本第1の実施例を高電圧駆動回路に適用した場合に、従来はレベルシフト回路の後段に配置されていた所定の論理回路を、レベルシフト回路の前段に配置することが可能となる。そして、このように論理回路をレベルシフト回路の前段に配置することにより、この論理回路を高電圧で駆動する必要性がなくなる。この結果、高電圧電源に生ずるグリッジの発生を防止でき、表示特性等を向上できるとともに、これらの論理回路の占有面積を小さくでき、半導体チップの小面積化を図ることが可能となる。なお、このように論理回路をレベルシフト回路の前段に配置することができる場合の実施例については、第2、第3の実施例として後に詳述する。

【0032】また、本レベルシフト回路によれば、第1、第2の入力信号の電圧レベル反転期間、即ち、第1、第2の入力信号がH、LレベルからL、Hレベルに、あるいは、L、HレベルからH、Lレベルに移行する際に、レベルシフト回路の電流経路が導通し、貫通電流が発生するのを防止することが可能となる。即ち、本レベルシフト回路では、第1、第2のスイッチング素子に加えて第3、第4のスイッチング素子であるトランジスタ62、64が直列に設けられている。従って、このように電流経路が導通するような状態の時に、所定の制御信号によりこれらのトランジスタ62、64をオフ状態とし、これにより貫通電流の発生、電流経路の導通状態の発生を防止できる。この結果、表示特性の悪化防止、トランジスタ50～56、素子駆動用トランジスタのサイズの増大防止を図ることが可能となるわけである。なお、この場合の実施例については、第4の実施例として後に詳述する。

【0033】(2) 第2の実施例

次に本発明の第2の実施例を説明する。本第2の実施例は、本発明に係るレベルシフト回路をSTN液晶用の駆動回路に適用した場合の実施例である。

【0034】図2に本第2の実施例に係る液晶駆動回路の回路図を示す。この液晶駆動回路は、論理回路70、レベルシフト回路5、6、7、出力駆動回路80を含んで構成され、図12に示した従来の液晶駆動回路と同様に、データ信号と交流化信号から4値(V0、V2、V3、V5)の出力信号を形成する回路である。ここでレベルシフト回路6には本発明に係るレベルシフト回路が適用され、レベルシフト回路5、7には従来のレベルシフト回路が適用される。また、図12に示す従来の液晶駆動回路と異なり、論理回路70がレベルシフト回路の前段に配置されている。

【0035】論理回路70はインバータ9、10、NOR回路11、12、NAND回路13、14から構成されており、入力されたデータ信号、交流化信号に所定の論理演算を行い、レベルシフト回路6、7に対する入力信号23、24、25、26を形成している。ここで論

理回路70は、レベルシフト回路の前段に配置されているため、論理回路70を構成するトランジスタは、液晶駆動用電圧V5ではなく、論理回路駆動用電圧VSSにて動作させることが可能となっている。

【0036】論理回路70の出力信号23、24、25、26は、本発明に係るレベルシフト回路6と、レベルシフト回路7の入力となり、電圧振幅が液晶駆動用電圧V5へと変換される。そして、レベルシフト回路6、7によりレベルシフトされた出力信号27、28、29、30は、Nchトランジスタ19、20、Pchトランジスタ21、22により構成される出力駆動回路80へと入力されている。

【0037】また、交流化信号は、レベルシフト回路5によって電圧振幅が液晶駆動用電圧V5へとレベルシフトされる。そして、このレベルシフトにより形成された制御信号31は、本発明に係るレベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64へと入力される。更に、制御信号31は、ドレイン領域がレベルシフト回路7の出力信号29、30に接続されたNchトランジスタ17、18のゲート電極に入力されることになる。

【0038】出力駆動回路80を構成するトランジスタ19～22のソース領域には電源V0、V2、V3、V5が接続されている。また、トランジスタ19～22のドレイン領域は共通接続されており、この共通接続されたドレイン出力が液晶駆動信号としてそれぞれの液晶素子に出力されることになる。以上の構成により、本実施例に係る液晶駆動回路では、2値出力を4値出力（V0、V2、V3、V5）へと変換することが可能となる。

【0039】次に本液晶駆動回路の動作について、図3、図4を用いて説明する。図3には、データ信号及び交流化信号と出力信号との関係を示す真理値表が示され、図4には、データ信号、交流化信号、信号27～30、出力信号の実際の波形図が示される。

【0040】まず、交流化信号がLレベル（VSSレベル）の場合について説明する。この場合、レベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64に inputsされる制御信号31はV5レベルとなる。従って、レベルシフト回路6のNchトランジスタ62、64はオフ状態となり、レベルシフト回路6の電源間の電流経路は遮断状態となる。更に、この時、交流化信号がLレベルであるため、論理回路70内のNOR回路11、12の出力信号23、24はLレベルとなる。これにより、レベルシフト回路6のPchトランジスタ50、54はオン状態となり、レベルシフト回路6の出力信号27、28は共にGNDレベルとなる。この結果、出力駆動回路80内のPchトランジスタ21、22はオフ状態に設定されることになる。このことから交流化信号がLレベルの場合は、レベルシフト回路

6の出力信号は常にGNDレベルとなるため、レベルシフト回路6は非選択状態になるとみなすことができる。このように、本発明に係るレベルシフト回路は、第1、第2の入力がともにLレベルの場合も正常に動作するため、論理回路70をレベルシフト回路の前段に配置することが可能となる。

【0041】さて、この場合、レベルシフト回路7の入力にはデータ信号の状態に応じて第1、第2の入力信号が論理回路70を通じて与えられる。そして、このレベルシフト回路7の出力信号29、30が、出力駆動回路80内のNchトランジスタ19、20のゲート電極へと入力されることになり、また、前述したように、この時Pchトランジスタ21、22はオフ状態となっている。従って、出力駆動回路80の出力信号は、データ信号がLレベル（VSSレベル）のときにV5レベルとなり、Hレベル（GNDレベル）のときにV3レベルとなる。

【0042】このように、交流化信号がLレベルの場合には、レベルシフト回路7の出力信号29、30にはデータ信号に応じたデータが出力され、出力駆動回路80の出力信号には、データ信号に応じてV3、V5レベルのデータが出力されることになる。従って、交流化信号がLレベルの場合は、レベルシフト回路7は選択状態にあるということが出来る。

【0043】なお、この場合に、Nchトランジスタ17、18のゲート電極には、Lレベルである交流化信号が入力されているため、Nchトランジスタ17、18はオフ状態となっている。

【0044】次に、交流化信号がHレベル（GNDレベル）の場合について説明する。この場合、レベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64に inputsされる制御信号31はGNDレベルとなる。従って、トランジスタ62、64はオン状態となり、レベルシフト回路6は、通常のレベルシフト回路と同様に、第1、第2の入力信号23、24の電圧振幅をレベルシフト変換することになる。そして、このレベルシフト回路6の出力信号27、28が、出力駆動回路80のPchトランジスタ21、22のゲート電極へと入力される。これにより、出力駆動回路80の出力信号は、データ信号がLレベル（VSSレベル）のときにV0レベルとなり、Hレベル（GNDレベル）のときにV2レベルとなる。このように、交流化信号がHレベルの場合は、レベルシフト回路6は選択状態にあるということが出来る。

【0045】さて、この場合、交流化信号はHレベルであるため、論理回路70のNAND回路13、14から常にHレベルが出力されている。従って、レベルシフト回路6の出力信号29、30はハイインピーダンス状態になるはずである。しかし、出力信号29、30には、制御信号31がゲート電極に接続されたNchトランジ

スタ17、18のドレイン領域が接続されている。そして、交流化信号がHレベルであるため、この制御信号31はGNDレベルとなっており、従って、Nchトランジスタ17、18はオン状態となっている。このため、レベルシフト回路7の出力信号29、30はV5レベルに固定され、出力駆動回路80のNchトランジスタ19、20はオフ状態に設定されることになる。

【0046】以上に説明したように、図2に示す本第2の実施例では、制御信号31によりレベルシフト回路6を選択状態と非選択状態で切り替えて動作させている。本第2の実施例では、この動作によって従来例と同等の機能を実現することが可能となっている。

【0047】さて、本第2の実施例では論理回路70を、レベルシフト回路の前段に配置することができる。従って、従来例では液晶駆動用電圧V5（例えば-20~-40V）で動作していた論理回路を、論理回路駆動用電圧VSS（例えば-5V）で動作させることができる。従って、データ信号または交流化信号が変化した際にNOR回路11、12及びNAND回路13、14に貫通電流が生じて、この貫通電流が液晶駆動用電圧V5にグリッジの発生等の悪影響を与えることがなくなる。このため、安定した液晶駆動用電圧V5を液晶表示装置に供給でき、液晶表示装置の表示品位を極めて向上させることができる。

【0048】また、本第2の実施例では論理回路70を従来例に比べて極めて低い動作電圧で動作させることができるため、消費電流を極めて低減化することができる。即ち、一般的に消費電流は、 $i = c$ （負荷容量） $\cdot v$ （動作電圧） $\cdot f$ （動作周波数）で表わされる。従って、論理回路の動作電圧が、従来例では例えば-20~-40Vであったのを、本第2の実施例では例えば-5Vとすることができるため、消費電流を極めて低減化できるわけである。特に、液晶表示装置は携帯形機器に使用されることが多いことから、小型化、軽量化のため電池での長時間動作、低消費電流化が要求されている。このことから本第2の実施例に係る液晶駆動回路は、従来例に比べて非常に優位な構成となることが理解される。

【0049】なお、図2に示す本第2の実施例では、図12に示す従来例に対してレベルシフト回路が1つ追加された構成となっている。しかし、図2の本第2の実施例では、前述したように制御信号31により、レベルシフト回路6、レベルシフト回路7を排他的に動作させている。従って、レベルシフト回路の消費電流は、図12に示す従来例と同等であるとみなすことができる。この結果、本第2の実施例に係る液晶駆動回路は、従来例に比べて論理回路で低減される消費電流分だけ節約できることが理解される。

【0050】また、本第2の実施例に係る液晶駆動回路は、図5に示すように占有面積の面においても、従来例よりも優位な構成となる。

【0051】即ち、-20~-40Vの高電圧で動作する高耐圧トランジスタは、-5Vで動作する通常のトランジスタに比べて、同一の駆動能力を実現させるためには例えば5倍程度の面積を必要とする。

【0052】更に、半導体チップのレイアウトを行なう場合には、トランジスタのソース領域の周辺にいわゆるガードバンドを配置する必要がある。これらのガードバンドは、ソース領域に供給される駆動電圧が高くなると特に発生し易くなるラッチアップを防止するために必要となるものである。従って、通常のトランジスタに比べて、高電圧で駆動する必要がある高耐圧トランジスタでは、このガードバンドの占有面積も非常に大きくする必要がある。

【0053】以上の2点より、本第2の実施例では、図6に示すように論理回路70の占有面積を極めて小さくすることができる。

【0054】さて、本発明に係るレベルシフト回路6は、従来のレベルシフト回路に比べてNchトランジスタ62、64が追加された構成となっている。しかし、これらのNchトランジスタ62、64は、図2に示すように中間ドレインからの取り出し口ないトランジスタである。従って、Nchトランジスタ62、64はNchトランジスタ58、60と最小ピッチ（ゲート電極間ピッチ）で配置することができ、これらのトランジスタ62、64を加えたことによる半導体チップ面積の増加はほとんどない。また、出力駆動回路80内に追加されたトランジスタ17、18も、ハイインピーダンス状態に設定されたレベルシフト回路7の出力信号をプルダウンするものであるため、非常に小さいサイズのトランジスタとなる。従って、これらのトランジスタを加えたことによる半導体チップ面積の増加もほとんどない。

【0055】また、図2に示す本第2の実施例では、従来例に比べて、レベルシフト回路7を1個追加した構成となっている。しかし、レベルシフト回路6とレベルシフト回路7を並べてレイアウトすると、それぞれのレベルシフト回路のNch、Pchトランジスタをそれぞれ同一のウェル内で形成出来る。

【0056】以上より、本第2の実施例では、前述した論理回路の占有面積の縮小と、レベルシフト回路、Nchトランジスタ17、18、62、64の追加による占有面積の増加をトータルすれば、全体として液晶駆動回路の面積を従来例よりも削減できる。この点は、図5を見れば明かである。

【0057】しかも、図5に示すように、従来例の液晶駆動回路で形成される半導体チップが縦長の形状となるのに対して、本第2の実施例の液晶駆動回路で形成される半導体チップは横長の形状となる。従って、本第2の実施例は、スリム形状のチップを実現するために最良のものとなる。そして、液晶駆動回路をスリムチップ化すれば、図6に示すように、液晶パネルの有効表示領域の

比（機器の大きさに対する液晶パネルの大きさの比）を大きくすることが可能となる。この有効表示領域の比は、この種の液晶パネルにおいて非常に重要な性能の1つとなるため、この意味においても本第2の実施例は従来例に比べて非常に優位な構成となる。

【0058】（3）第3の実施例

次に本発明の第3の実施例を説明する。本第3の実施例は、本発明に係るレベルシフト回路をMIM液晶用の駆動回路に適用した場合の実施例である。

【0059】図7に本第3の実施例に係る液晶駆動回路の回路図を示す。この液晶駆動回路は、論理回路70、レベルシフト回路6、7、8、出力駆動回路80を含んで構成される。そして、論理回路70には液晶駆動回路の前段に配置されたシフトレジスタの出力信号、及びFR信号が入力されている。また、このFR信号はレベルシフト回路5にも入力されている。出力駆動回路80内のNchトランジスタ19、20、Pchトランジスタ21、22のソース領域には、電源V0、V2、V4、V5が接続されている。そして、これらのトランジスタ19～22の共通ドレインが本液晶駆動回路の出力信号となり、液晶素子を駆動するためのコモン信号として使用されることになる。なお、本第3の実施例は、図2に示す本第2の実施例に係る液晶駆動回路と、その構成の主要部がほぼ共通するため、構成の詳細な説明については省略する。

【0060】図8には、本第3の実施例の動作を示す波形図が示される。同図に示すように本液晶駆動回路の出力信号であるコモン信号は、FR信号に同期してV1、V5間あるいはV0、V4間で反転して出力されることになる。

【0061】図7に示す本第3の実施例の構成から明らかのように、本第3の実施例は、従来例に対して、本第2の実施例と同様の優位点をもつ。即ち、論理回路70をレベルシフト回路の前段に配置することが可能となるため、この論理回路70を例えば-5Vで動作することが可能となる。この結果、表示特性の向上あるいは半導体チップの小面積化、スリムチップ化等を図ることが可能となる。

【0062】（4）第4の実施例

次に本発明の第4の実施例を説明する。第4の実施例は、レベルシフト回路の第1、第2の入力端子の電圧レベル反転期間に、所定の制御信号により第3、第4のスイッチング素子をオフ状態にして、レベルシフト回路の電流経路を遮断する実施例である。

【0063】図9（A）に本第4の実施例の回路図を、図9（B）に制御信号31等の各信号の波形図を示す。

【0064】図9（A）に示すように、第3、第4のスイッチング素子であるNchトランジスタ62、64をオン・オフする制御信号31は、ワンショットマルチバイブレータ92により形成される。このワンショットマ

ルチバイブレータ92には、D-フリップフロップ47を介してクロック信号が入力されている。そして、このクロック信号は、第1、第2の入力信号の電圧レベルの反転に同期した信号である。従って、図9（B）に示すように、ワンショットマルチバイブレータ92からは、第1、第2の入力信号の電圧レベル反転期間に、トランジスタ62、64をオフ状態に設定し、レベルシフト回路90の電流経路を遮断する制御信号31が出力されることになる。

【0065】本第4の実施例は、以上のように動作するため、第1、第2の入力信号の電圧レベル反転期間に生ずる貫通電流を防止できる。従って、例えば本第4の実施例を液晶駆動回路（STN、MIM、TFT等）、多ビットの高電圧出力ドライバ等の高電圧駆動回路に適用した場合には、高電圧電源に生ずるグリッジの発生を防止でき、表示特性等を向上させることができる。

【0066】また、本第4の実施例によれば、レベルシフト回路90の応答速度を極めて早くすることができ、また、占有面積の縮小化を図ることができる。即ち、本第4の実施例によれば、第1、第2の入力信号の電圧レベル反転期間に、トランジスタ62、64がオフ状態にされるため、レベルシフト回路のショート状態がなくなる。従って、レベルシフト回路90の応答速度を極めて早くすることが可能となる。この結果、レベルシフト回路90のトランジスタ50～60又はこのレベルシフト回路が接続される素子駆動用トランジスタのサイズを格段に小さくすることが可能となる。このように本第4の実施例によれば、所定の制御信号によりオン・オフされる第3、第4のスイッチング素子を新たに設けることにより、レベルシフト回路の特性改善、機能付加を実現することが可能となる。

【0067】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0068】例えば、前述の実施例1～4では、マイナス側の電源電圧をレベルシフトするレベルシフト回路及びこれを用いた高電圧駆動回路について説明したが、本発明は図10に示すようなプラス側の電源電圧をレベルシフトするレベルシフト回路及びこれを用いた高電圧駆動回路にも当然に適用できる。

【0069】また、第2、第3の実施例では、STN液晶、MIM液晶に使用される液晶駆動回路に本発明を適用した場合について説明したが、本発明はこれに限らず、例えばTFT液晶等のあらゆる種類の液晶の駆動回路に適用できる。更に、本発明は液晶駆動回路だけでなく多ビットの高耐圧出力を備えた半導体回路に広く応用できるものである。

【0070】

【発明の効果】本発明によれば、例えば第1、第2の入力信号が共に同レベルであっても、正常な回路動作を保

証することができ、従来レベルシフト回路の後段に配置されていた論理回路を、レベルシフト回路の前段に配置することが可能となる。従って、この論理回路を論理回路駆動用電圧で駆動させることができる。この結果、高電圧電源にグリッジ等が発生するのを防止でき、高電圧駆動回路の表示特性等の性能を非常に向上させることができる。更に、半導体回路の消費電流、チップ面積を減少でき、また、半導体装置のスリムチップ化を図ることが可能となる。

【0071】また、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に貫通電流が発生するのを防止できる。従って、高電圧電源にグリッジ等が発生するのを防止でき、高電圧駆動回路の表示特性等の性能を向上させることができる。更に、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に、レベルシフト回路の電流経路がショート状態となることを防止できる。従って、レベルシフト回路の応答動作を極めて早くすることが可能となる。この結果、レベルシフト回路を構成するスイッチング素子のサイズ、あるいはレベルシフト回路が接続される素子駆動用のトランジスタのサイズを格段に小さくすること可能となる。

【図面の簡単な説明】

【図1】図1(A)、(B)は本発明の第1の実施例に係るレベルシフト回路を示す回路図であり、図1(C)はその動作を説明するための真理値表である。

【図2】図2は、本発明の第2の実施例に係る液晶駆動回路を示す回路図である。

【図3】図3は、第2の実施例に係る液晶駆動回路の真理値表を示す図である。

【図4】図4は、第2の実施例に係る液晶駆動回路の動作を示す波形図である。

【図3】

入力レベル		レベルシフト回路6,7の出力				レベルシフト回路6の選択/非選択	出力信号
データ信号	交流化信号	信号27	信号28	信号29	信号30		
L	L	GND	GND	GND	V5	非選択	V5
L	H	V5	GND	V5	V5	選択	V0
H	L	GND	GND	V5	GND	非選択	V3
H	H	GND	V5	V5	V5	選択	V2

H... GND
L... VSS

【図5】図5は、第2の実施例による半導体チップの面積縮小化について説明するための概略説明図である。

【図6】図6は、第2の実施例による半導体チップのスリムチップ化について説明するための概略説明図である。

【図7】図7は、本発明の第3の実施例に係る液晶駆動回路を示す回路図である。

【図8】図8は、第3の実施例に係る液晶駆動回路の動作を示す波形図である。

【図9】図9は、本発明の第4の実施例を示す回路図である。

【図10】図10は、プラス側の電源をレベルシフトする場合のレベルシフト回路を示す回路図である。

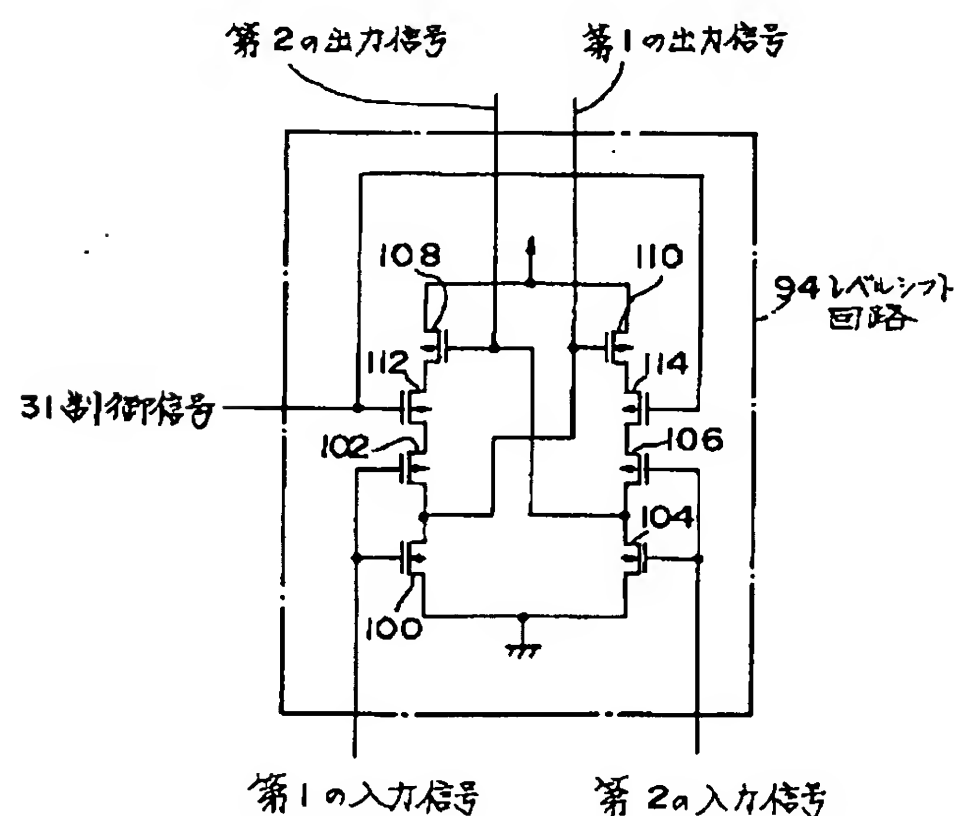
【図11】図11(A)、(B)は従来のレベルシフト回路を示す回路図であり、図11(C)はその動作を説明するための真理値表である。

【図12】図12は、従来のレベルシフト回路を適用した液晶駆動回路を示す回路図である。

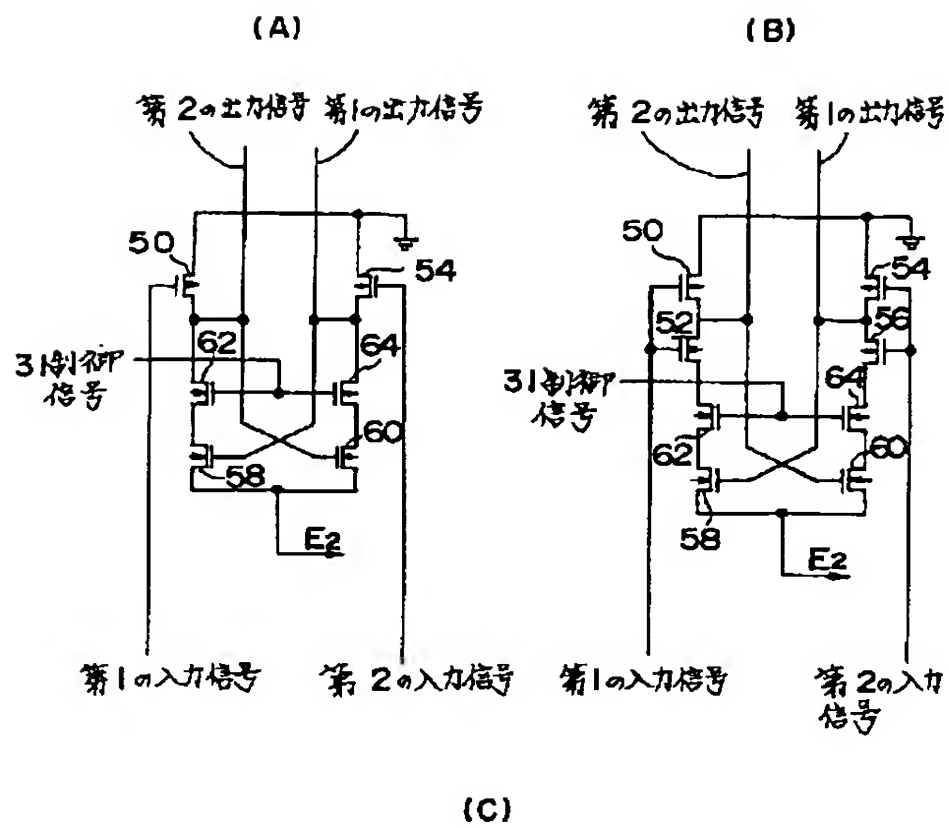
【符号の説明】

6、7、8、33、90、94、 レベルシフト回路
8、9、10、34、35 インバータ
11、12、36、38 NOR回路
13、14、37、39 NAND回路
17、18、19、20、52、56、58、60、62、64、152、156、158、160 Nchトランジスタ
21、22、50、54、150、154 Pchトランジスタ
23、24、25、26、27、28、29、30、44、45、46 信号線
31 制御信号

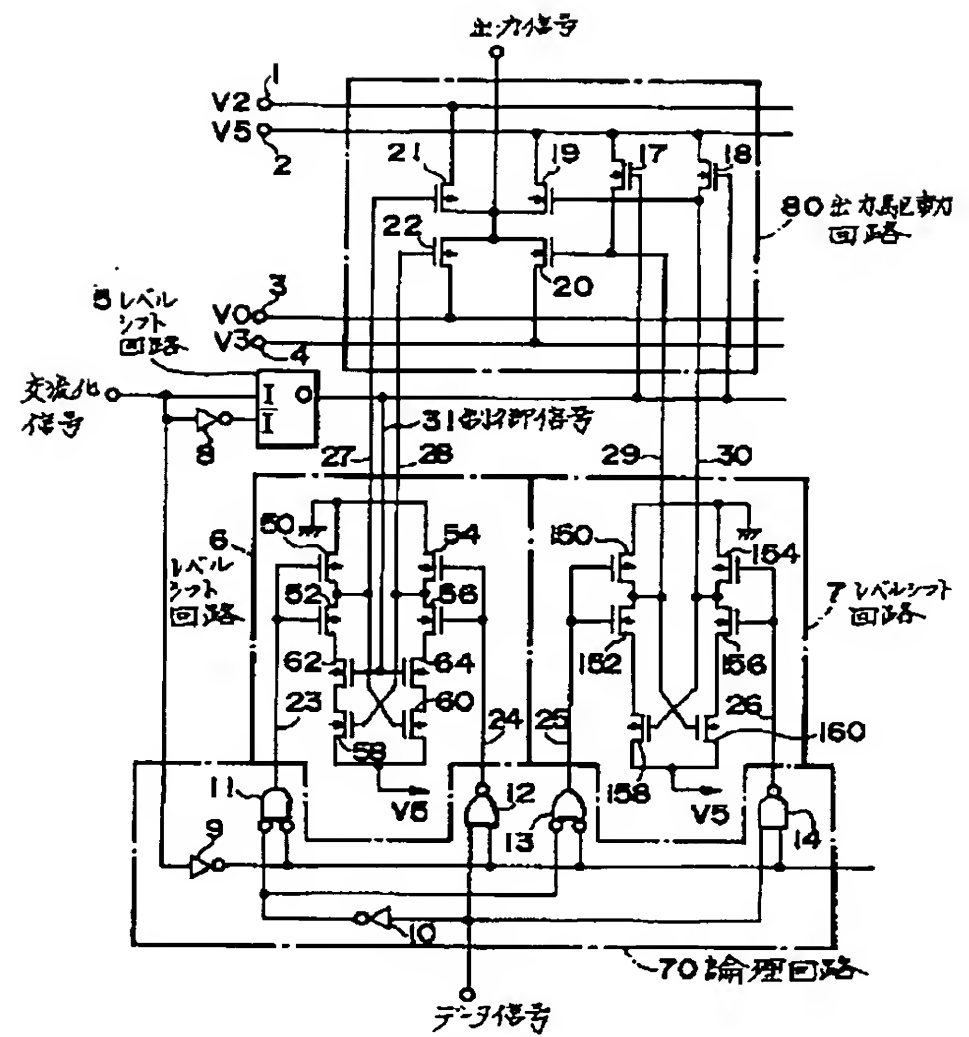
【図10】



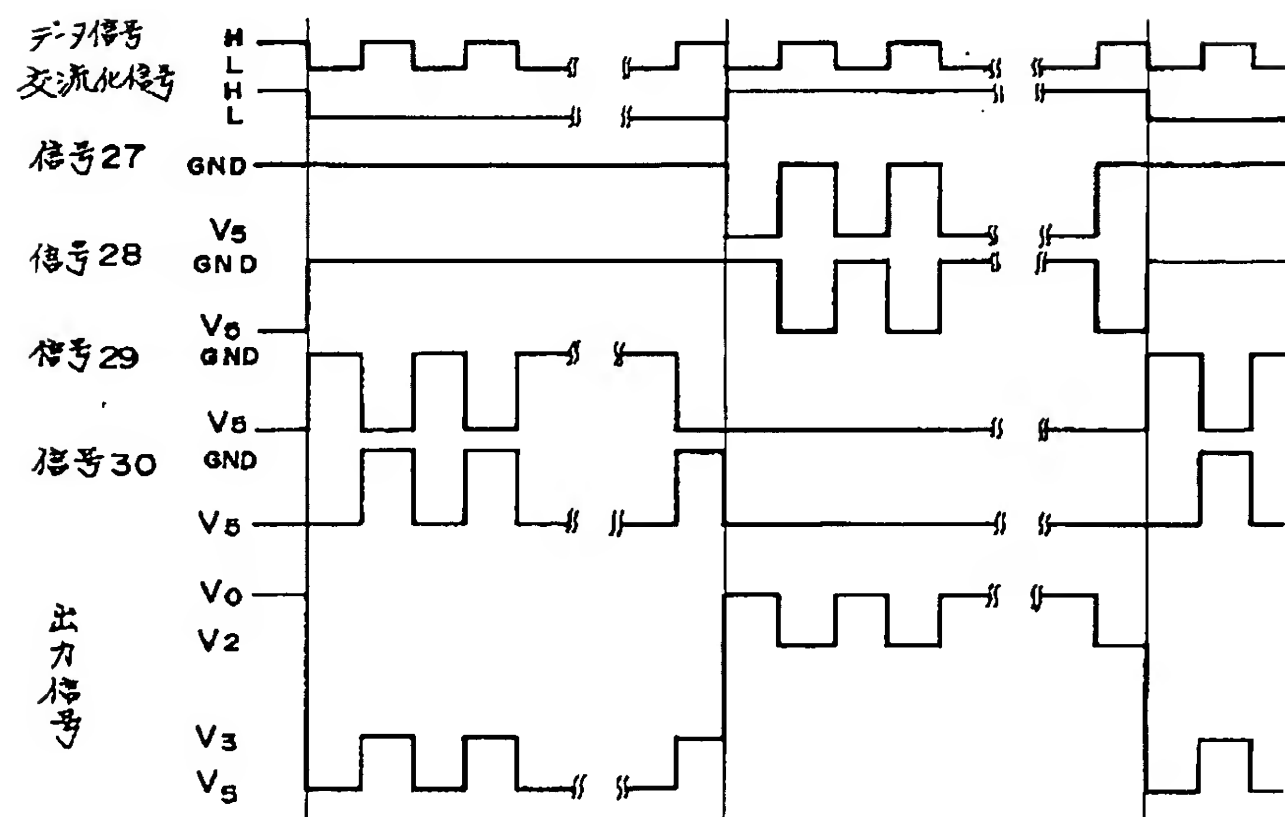
【図1】



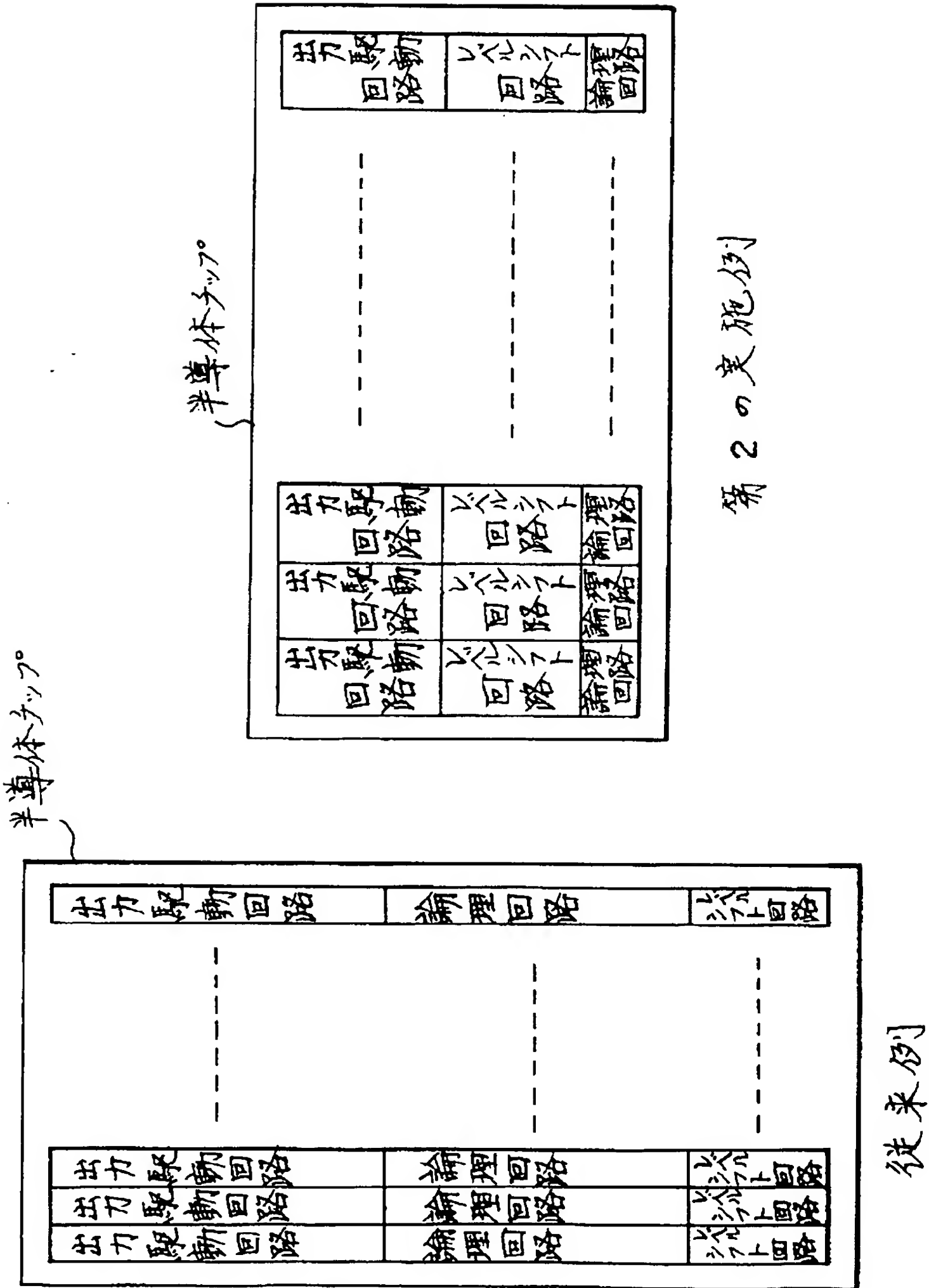
【図2】



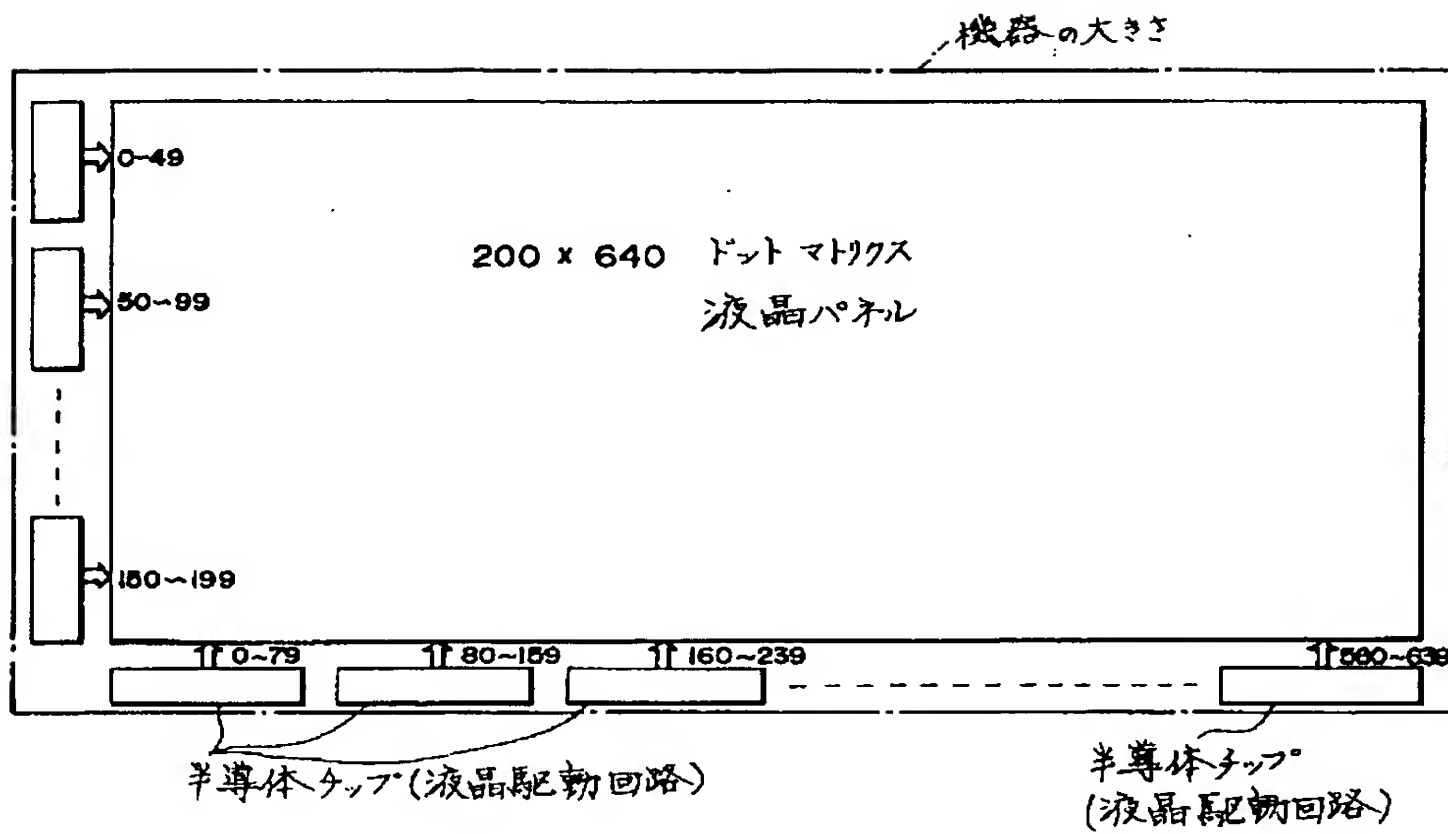
【図4】



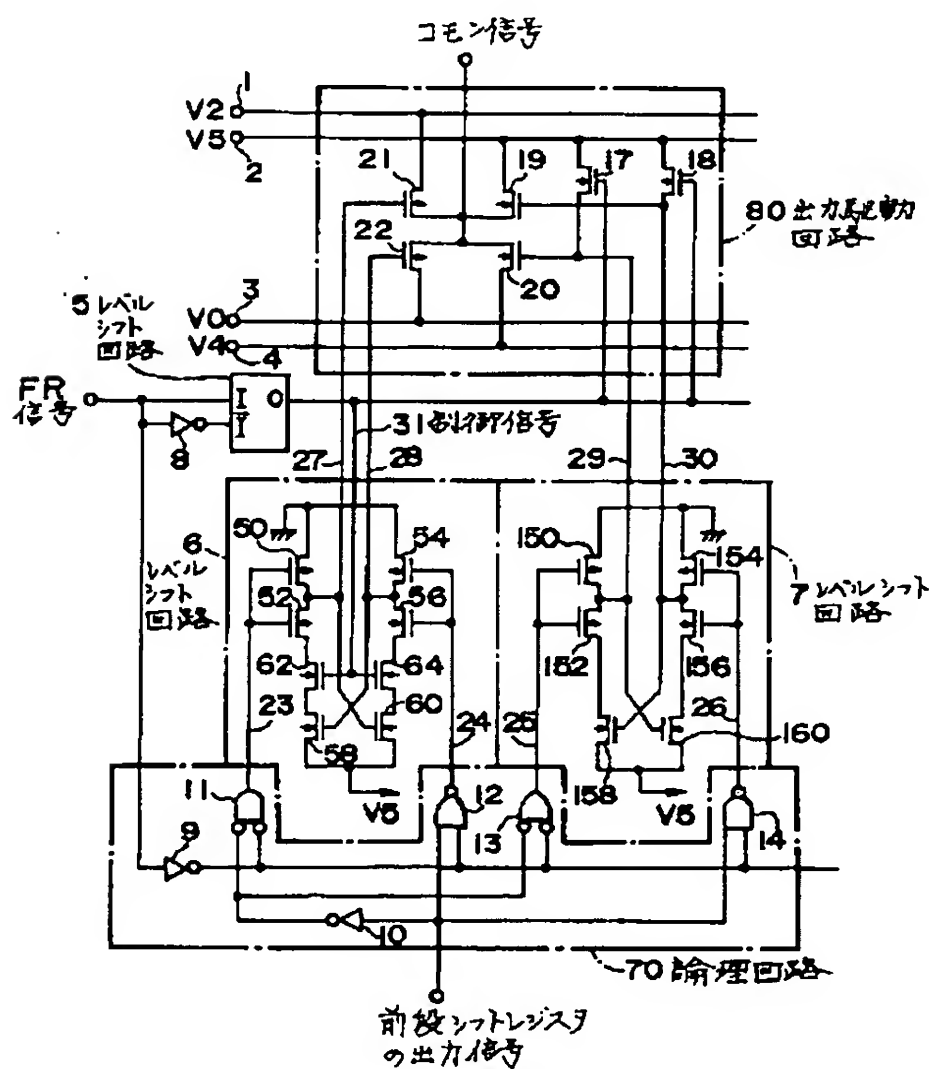
【図5】



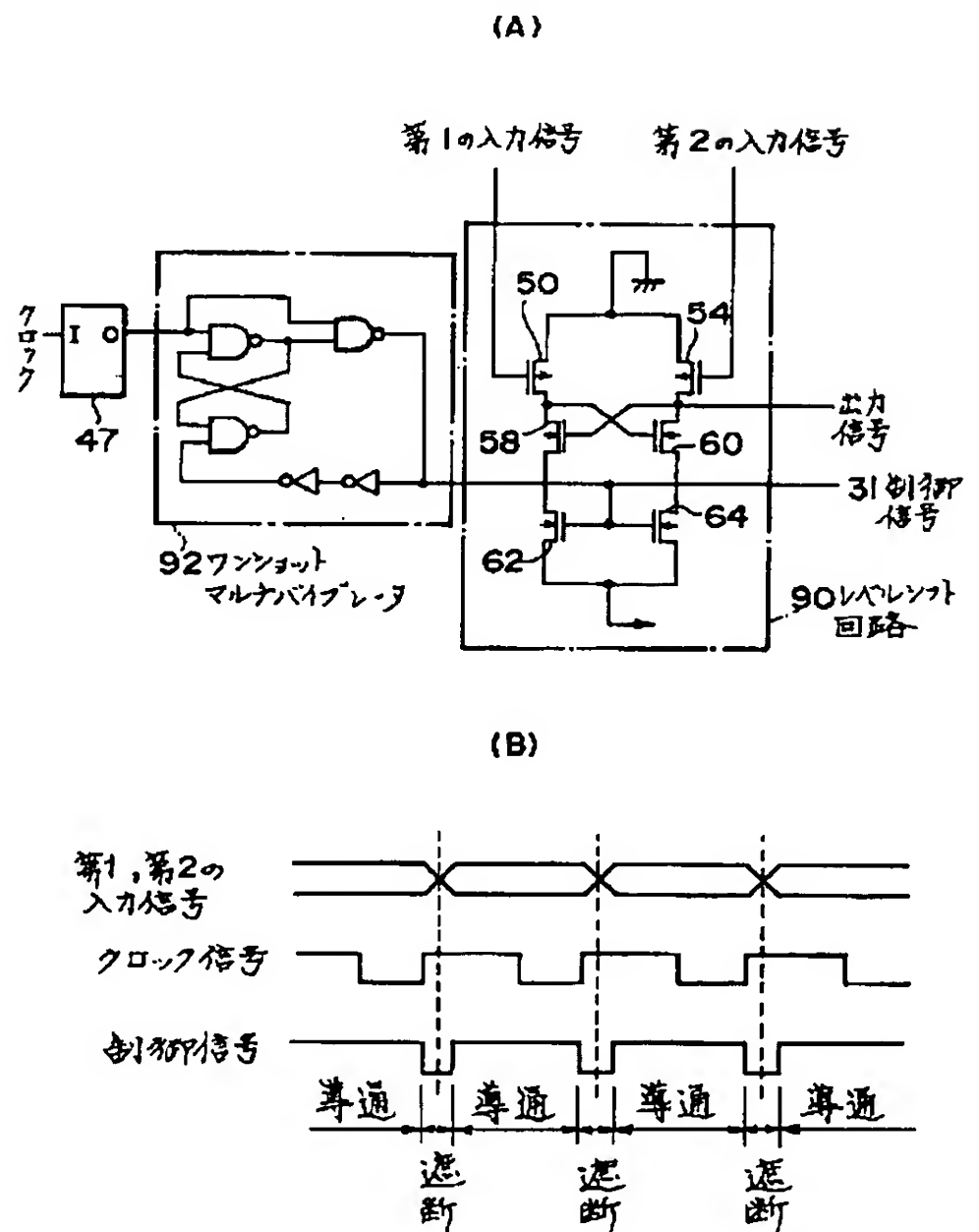
【図6】



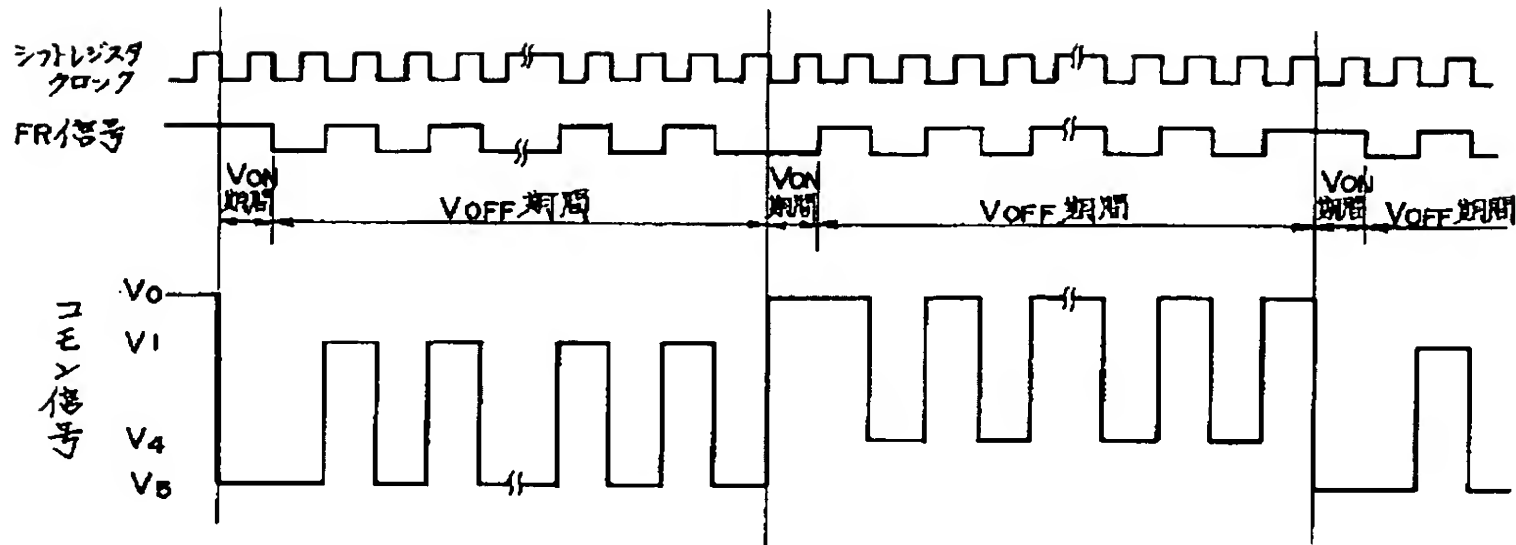
【図7】



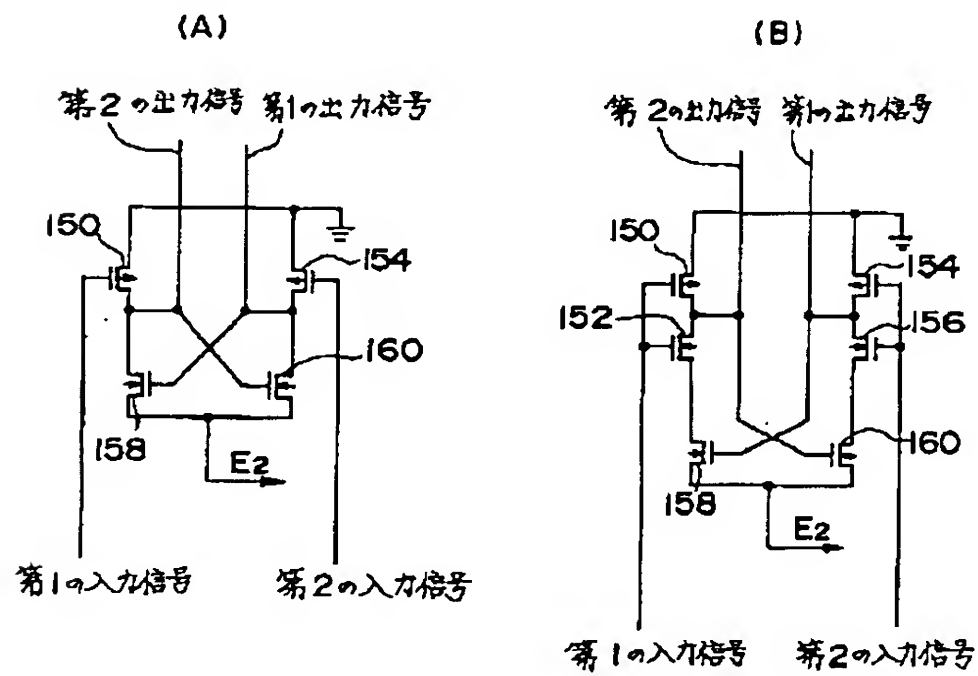
【図9】



【図8】



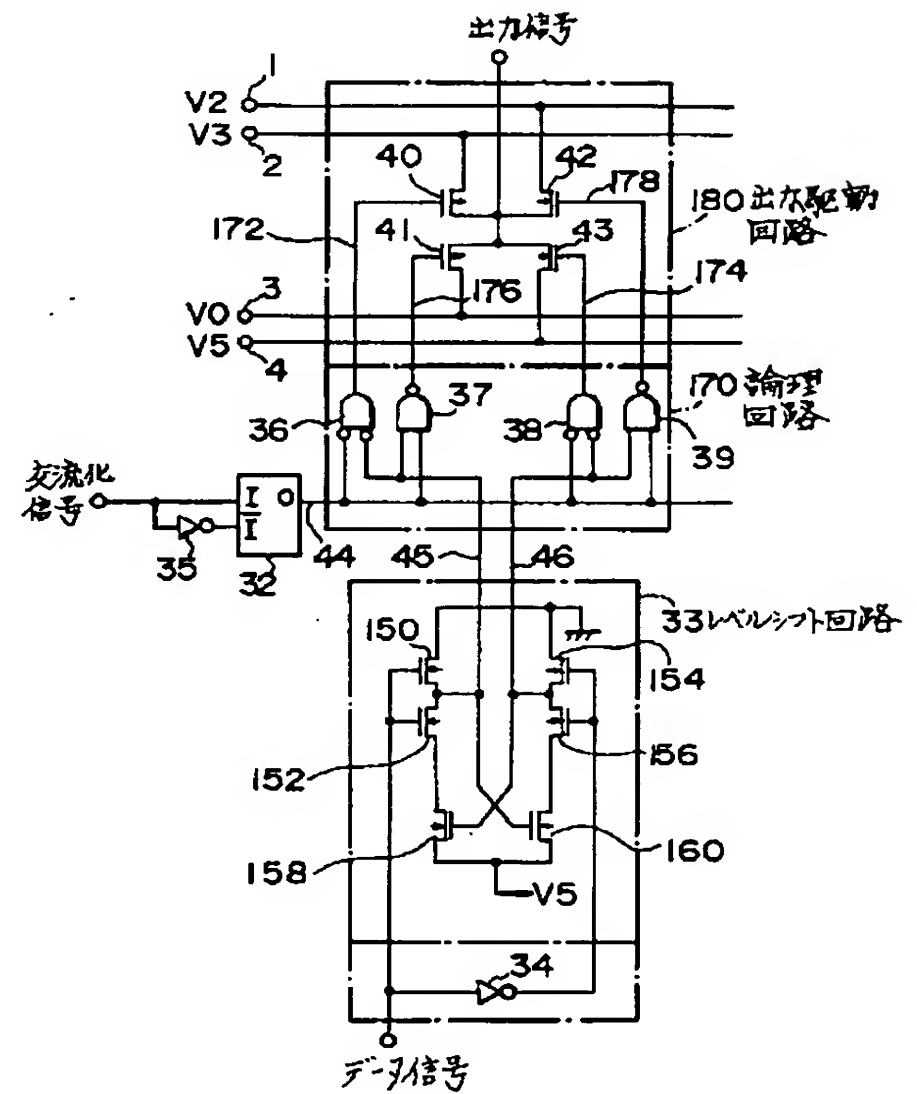
【図11】



(C)

第1の入力信号	第2の入力信号	第1の出力信号	第2の出力信号
H (GND)	L (E1)	GND	E2
L (E1)	H (GND)	E2	GND
H (GND)	H (GND)	Z	Z
L (E1)	L (E1)	電流貫通により動作不能	

【図12】



フロントページの続き

(51) Int. Cl. 5

H 0 4 N 5/66

識別記号

1 0 2 B 9068-5C

庁内整理番号

F I

技術表示箇所